

기·술·특·집

# 기본 중의 기본! 80개의 전자 회로 ①

회로도를 쉽게 판독하는 전문가의 머릿속에는 실제 회로도에 그려진 회로에서 발진이나 노이즈 대책 부품 및 특성을 미세 조정하는 부품이 제외된, 소규모 요소 회로(기본 회로)가 몇 백 개나 들어 있다. 여기서는 그와 같은 기본 회로를 모아 소개한다. 전부 사용 빈도가 높은 중요한 회로이다. 회로도를 읽고 싶은 초보자라면 우선 이러한 회로를 하나하나 기억해 두기 바란다. 또한 전문가도 회로도를 그릴 때 사전 대신 이용하면 좋을 것이다.

- 1장 대규모 회로도 작은 회로 블록의 집합이다
- 2장 앰프
- 3장 필터-진폭 및 위상에 주파수 특성을 부여하는 회로
- 4장 계산용 아날로그 회로
- 5장 전압-전류 변환 회로와 전류-전압 변환 회로
- 6장 리미터/컴퍼레이터/리셋/샘플 & 홀드 외
- 7장 스위치 회로/스위칭 회로
- 8장 방형파와 정현파를 생성하는 발진 회로
- 9장 정전압원/정전류원 외



은 소프트웨어 부품이나 서브루틴을 모아서 큰 프로그램으로 완성시킨다. 이 방법은 하드웨어를 설계할 경우에도 똑같다. 동작이 심플해서 검증하기 쉬운 작은 회로 블록을 모아 대규모 회로로 완성해 나간다. 대규모이며 복잡하게 동작하는 것처럼 보이는 회로도 실제로는 심플하게 동작하는 작은 회로 블록의 집합인 것이다.

또한, 예로 든 그림 1의 회로는 FA(Factory Automation) 분야에서 사용되는 장치의 고정밀 압력 검출 회로이다. 브리지형 압력 센서(로드셀)의 차동 출력과 계측부 온도를 측정하는 반도체 온도 센서의 출력을 마이컴의 A-D 컨버터에서 받는다.

계측한 압력 데이터는 마이컴 내부에서 온도 보정처리 등을 실시하고 온도 데이터와 함께 UART(Universal Asynchronous Receiver Transmitter) 형식의 인터페이스로 시스템 컨트롤러에 전송된다. 동시에 설정한 압력 이상이 되었음을 나타내는 HIGH-PRESS 신호를 시스템 컨트롤러로 출력한다.

HIGH-PRESS 신호는 마이컴 동작이 정지해도 출력되도록 하드웨어에서 만들었다. 또한, 압력과 온도 측정 데이터를 표시하는 5자리수의 7세그먼트 LED와 스위치 3개를 구비했다.

### 블록 나누기의 세 가지 힌트

경험이 풍부한 엔지니어의 머릿속에는 많은 회로도 라이브러리가 들어 있으므로, 실제 회로도와 라이브러리의 패턴을 매칭시키면 단시간에 확실히 블록을 나눌 수 있다.

그러나 머릿속에 들어 있는 회로의 개수가 적은 초보자가

똑같이 하면 오히려 시간이 걸리게 된다. 우선 다음과 같은 세 가지 힌트에 입각하여 회로도를 블록 나누기부터 시작해 보는 것은 어떨까?

- 힌트 1: 임피던스가 크게 변하는 부분을 찾아라!
- 힌트 2: 신호의 루프는 분할하지 않는다
- 힌트 3: 경우에 따라서는 블록 여러 개가 같은 회로를 공유한다

### 힌트 1: 임피던스가 크게 변화되는 부분을 찾아라! 출구와 입구의 파형이 같은 부분에서 자르면 된다

#### 1. 회로간 신호 교환을 확실하게 하기 위해

신호가 송수신되는 부분에서는 대부분 전압 파형의 진폭 감소나 위상 회전을 줄이기 위해 출력 임피던스(출력 단자-GND 사이의 등가적인 임피던스)를 낮추고, 입력 임피던스(입

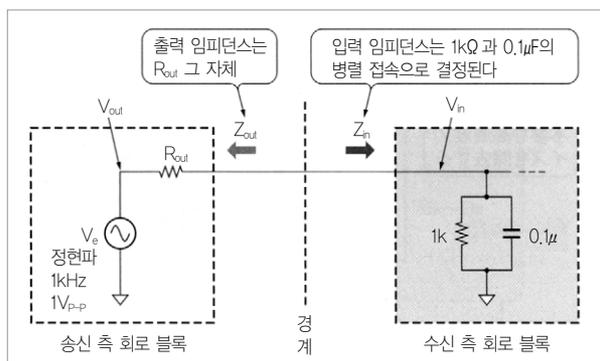


그림 3. 신호가 송수신되는 회로 경계부에서는 송신 측 임피던스가 낮아지고, 수신 측 임피던스가 높아진다

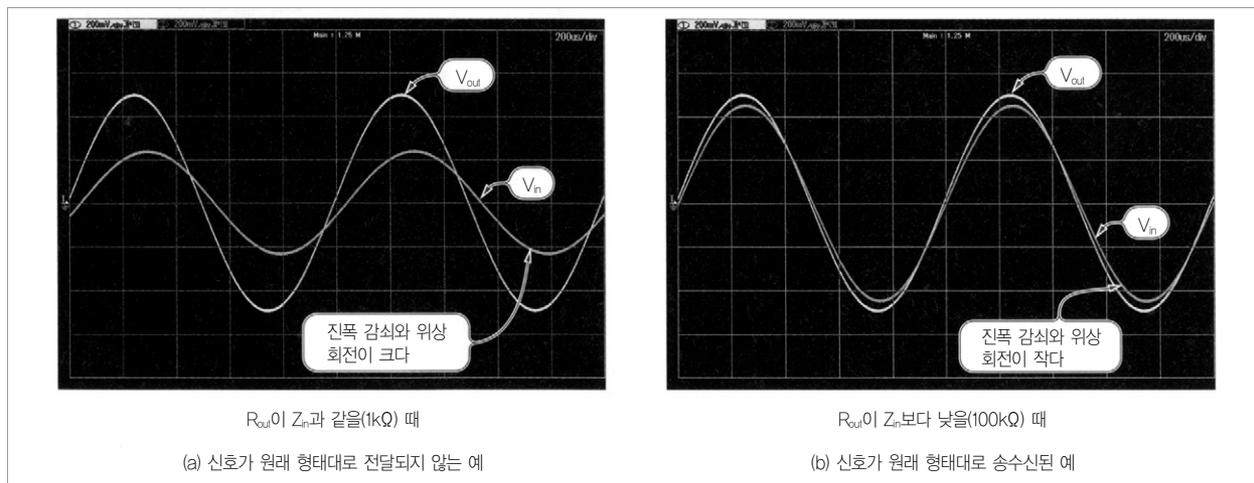


그림 4. 송신 측 출력 임피던스와 수신 측 입력 임피던스의 크기 및 파형 (출력 임피던스  $R_{out}$ 이 입력 임피던스  $Z_{in}$ 과 같을 때 송신 파형에 대한 수신 파형은 감쇠하며 위상도 회전해 버린다.  $R_{out} < Z_{in}$  일 때에는 감쇠와 위상 회전 모두 작다)







력 단자-GND 사이의 등가적인 임피던스를 높인다.

그림 3은 회로 블록 사이를 접속한 상태이다. 출력 임피던스  $Z_{out}(=R_{out})$ 의 송신 측 블록에서 입력 임피던스  $Z_{in}$ 이  $1k\Omega$ 인 저항과  $0.1\mu F$  콘덴서의 병렬 접속으로 구성되는 수신 측

블록을 구동하고 있다. 송신하는 신호  $v_e$ 는  $1V_{p-p}/1kHz$ 의 정현파이다.

그림 4(a)는 수신 측과 동일한 저항값  $R_{out}=1k\Omega$ 으로 구동했을 때의 송신 파형  $v_{out}$ 과 수신 파형  $v_{in}$ 이다.  $v_{in}$ 은 진폭이 감쇠

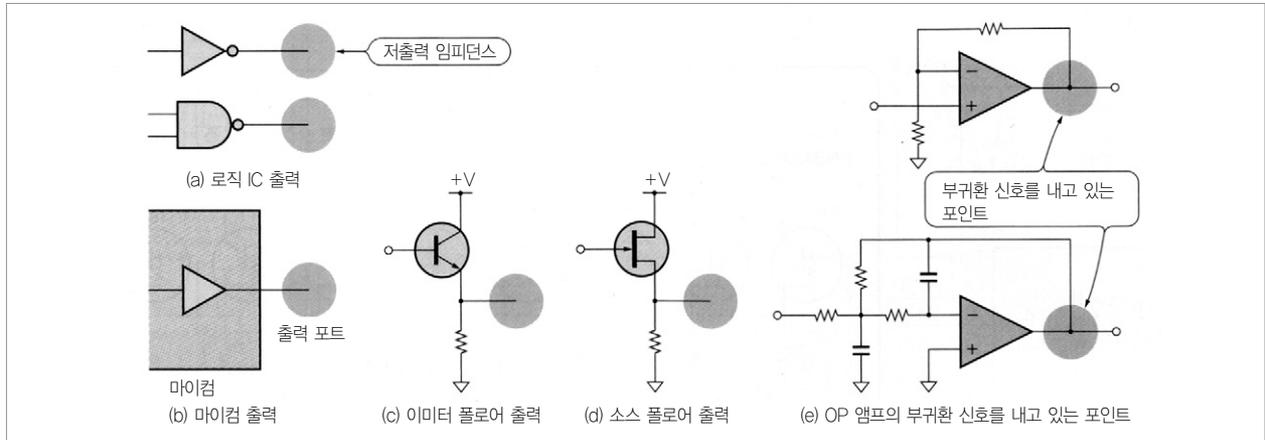


그림 5. ●는 출력 임피던스가 낮은 장소

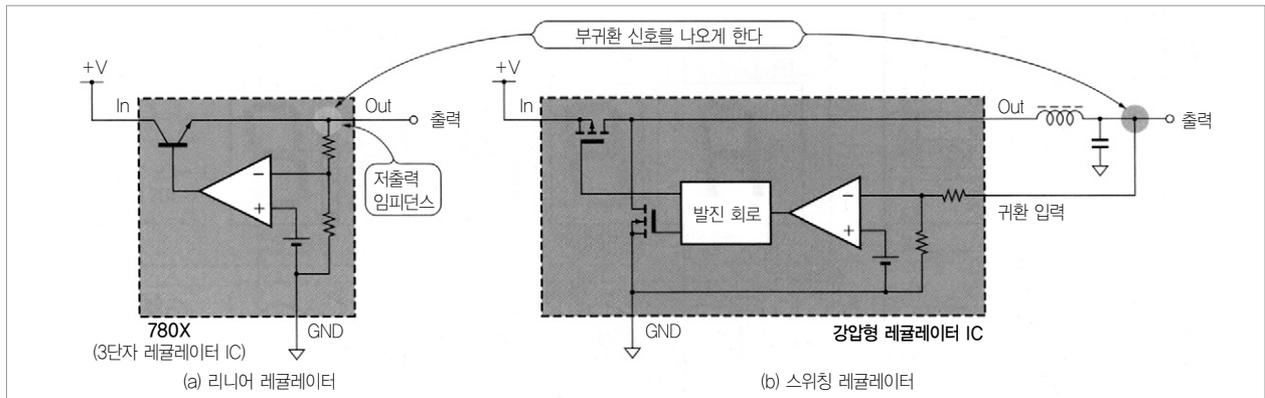


그림 6. 전원 IC의 부귀환 신호를 내고 있는 포인트는 저출력 임피던스

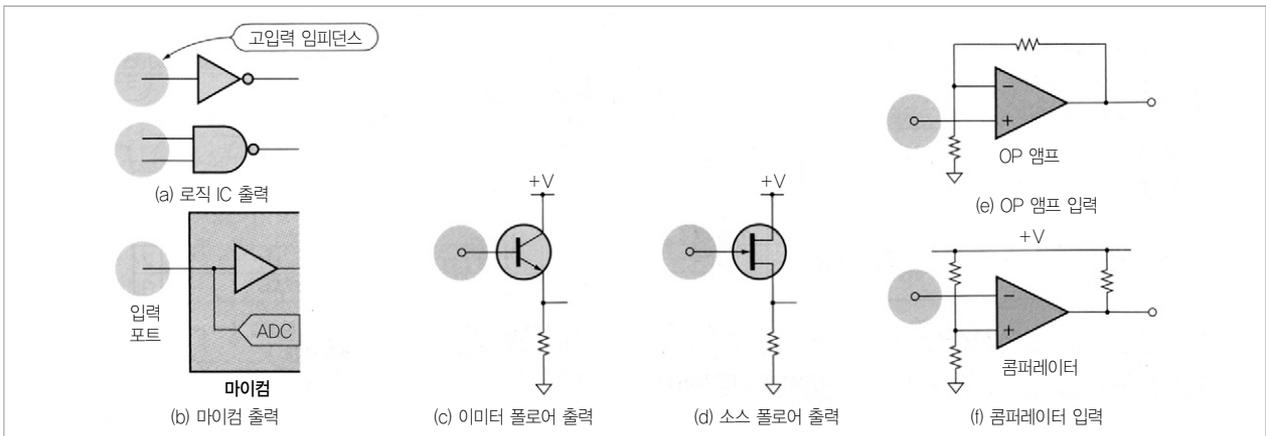


그림 7. ●는 입력 임피던스가 높은 장소

하여 위상도 회전하고 있다는 것을 알 수 있다. 이것은  $Z_{out}$  과  $Z_{in}$  이 로우 패스 필터를 형성하기 때문이다.

그림 4(b)는 수신 측 입력 임피던스와 비교해서 낮은 저항값  $R_{out}=100\Omega$ 으로 구동했을 때의 송수신 파형이다.  $v_{in}$ 은 진폭 감쇠가 적고 위상 회전도 매우 작다는 것을 알 수 있다.  $Z_{out}$ 을 낮추거나  $Z_{in}$ 을 높이면  $v_{in}$ 의 진폭 감쇠와 위상 회전은 더 작아진다.

실제 회로에서도 신호 송수신에 의한 진폭 감쇠나 위상 회전을 줄이기 위해 송신 측 블록의 출력 임피던스는 낮게, 수신 측 블록의 입력 임피던스는 높게 설정된다. 따라서 출력 임피던스가 낮은 장소 또는 입력 임피던스가 높은 장소가 회로 블록의 경계로 된다. 즉, 저출력 임피던스 또는 고입력 임피던스 인 장소에서 회로를 분할하면 되는 것이다.

## 2. 블록의 경계를 찾아본다

그림 5는 마이크 주변 회로에서 저출력 임피던스로 되는 장소이다. 그림 5(a), 그림 5(b)는 CMOS 로직 IC의 출력 단자와 마이크 출력 보드를 나타낸 것이다. 이것은 전원전압에 따른 Low/High 논리신호를 저출력 임피던스로 출력한다.

그림 5(c), 그림 5(d)는 바이폴라 트랜지스터(이하 BJT)를 사용한 이미터 플로어와 FET를 사용한 소스 플로어의 출력이다. 이들 회로의 출력 임피던스는 수십m~수십 $\Omega$ (사용하는 소자에 따라 결정된다) 정도의 낮은 임피던스로 된다.

그림 5(e)는 부귀환을 걸기 위한 신호를 나오게 하는 포인트이다. 이 포인트는 부귀환의 힘에 의해 저출력 임피던스로 된다. 여기서는 OP 앰프 회로를 예로 들었지만, 어떤 회로에서든 부귀환을 내는 포인트는 저출력 임피던스로 된다.

그림 6은 전원 IC에서 부귀환 신호를 나오게 하는 포인트이다. 리니어 레귤레이터, 스위칭 레귤레이터 모두 출력으로 귀환 신호를 나오게 하고 있다. 따라서 정전압

전원의 출력은 저출력 임피던스로 된다.

## 3. 입력 임피던스가 높은 부분을 찾아본다

그림 7은 마이크 주변 회로에서 고입력 임피던스가 되는 장소를 나타낸 것이다.

그림 7(a), 그림 7(b)는 CMOS 로직 IC의 입력 단자와 마이크 입력 포트이다. 이들 단자에는 전류가 거의 흐르지 않으므로 입력 임피던스는 매우 높아진다.

그림 7(b)은 이미터 플로어와 소스 플로어의 입력이다. 이들 회로의 입력 임피던스는 수k $\Omega$ ~수백M $\Omega$ 이다.

그림 7(c)은 OP 앰프, 콤퍼레이터의 입력이다. 이러한 IC 입력 단자는 전압이 가해져도 전류가 거의 흐르지 않는다. 입력 임피던스는 M $\Omega$  단위이다.

## 4. 실제 회로에서 경계를 찾아본다

그림 8은 회로 내 저출력 임피던스 포인트에 착안하여 블록을 나눈 예이다. 로직 IC인 인버터의 출력, OP 앰프의 부귀환 신호를 나오게 하는 포인트가 저출력 임피던스로 되므로 이 장소를 회로 블록의 경계라고 생각한다.

그림 9는 회로 내 고입력 임피던스 포인트에 착안하여 블록을 나눈 예이다. AND 게이트의 입력, OP 앰프의 입력이

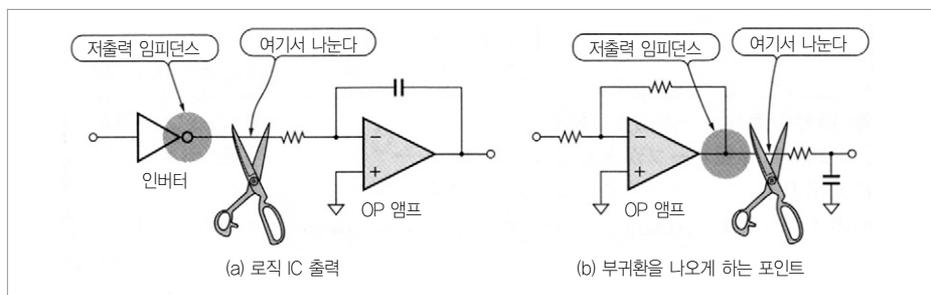


그림 8. 블록 나누기의 예 ① ... 저출력 임피던스인 장소에 착안한다

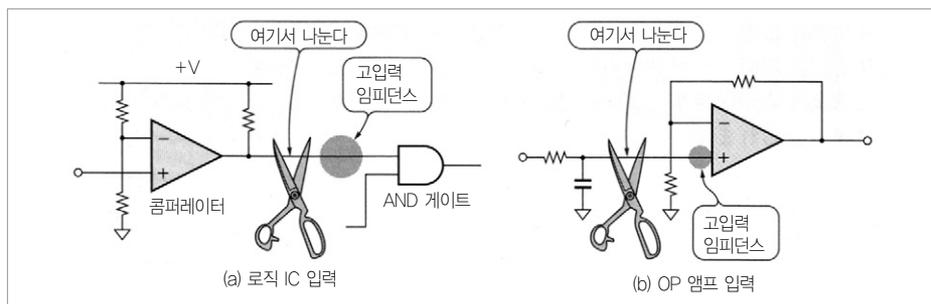


그림 9. 블록 나누기의 예 ② ... 고입력 임피던스인 장소에 착안한다

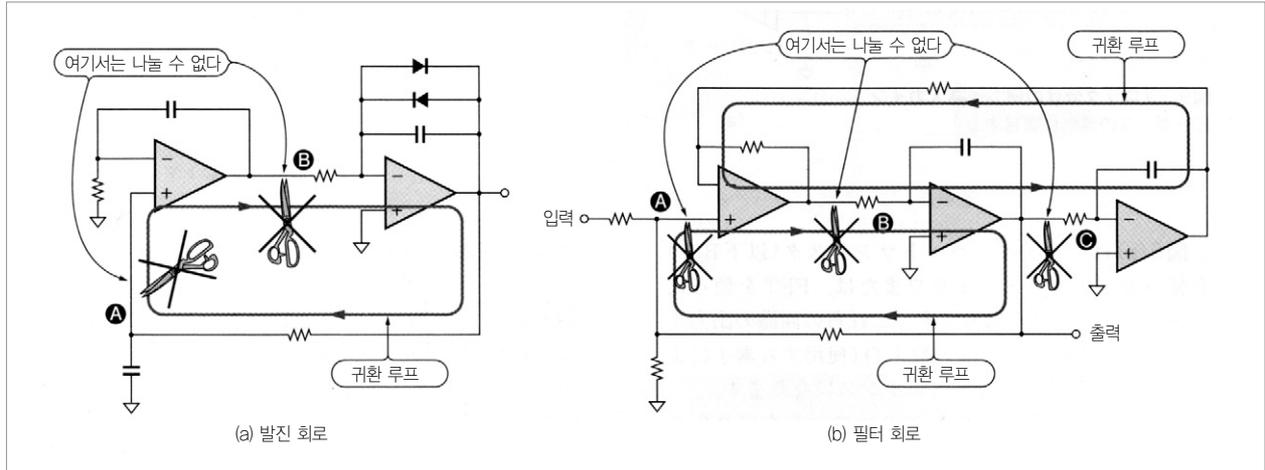


그림 10. 귀환 루프 중간에서는 자를 수 없다

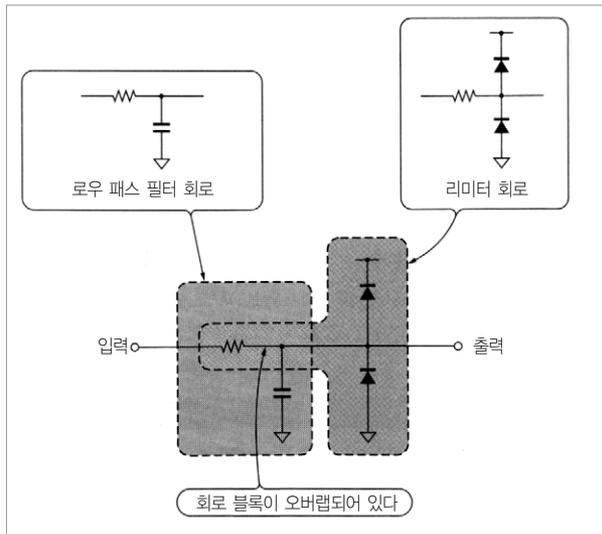


그림 11. 여러 개의 회로 블록이 동일한 회로를 공유하는 경우가 있다

고입력 임피던스이므로 이 장소를 회로 블록의 경계라고 생각한다.

**힌트 2 : 신호 루프는 분할하지 않는다**

출력 신호가 입력으로 되돌아오는 부분은 자르면 안 된다

**1. 신호 흐름이 한 방향인 것만은 아니다**

회로 안에 귀환 루프가 있을 경우, 그 루프 안에 저출력 임피던스 또는 고입력 임피던스의 포인트가 있어도 거기서는 회로를 분할하지 않는다.

신호가 루프 안을 빙글빙글 돌면서 원하는 기능을 실현하므로 귀환 루프를 절단하고서는 회로의 기능을 생각할 수 없기

때문이다.

귀환 루프가 있을 경우에는 그 루프를 포함하여 하나의 회로 블록으로 생각한다. 귀환 루프는 발진 회로나 필터 회로에서 많이 볼 수 있다.

**2. 루프가 있는 회로의 예**

그림 10(a)은 정현파 발진 회로이다. 이 회로에서 A점은 고입력 임피던스, B점은 저출력 임피던스의 포인트이다. 귀환 루프 내부이므로 이러한 포인트에서는 회로를 분할하지 않는다.

그림 10(b)은 밴드 패스 필터 회로이다. 이 회로에서는 A점, B점, C점이 분할 포인트라고 생각할 수 있지만 모두 귀환 루프 내부에 있으므로, 여기서는 분할하지 않고 전체를 하나의 회로 블록으로 생각한다.

**힌트 3 : 경우에 따라서는 블록 여러 개가 같은 회로를 공유한다**

모든 블록이 깨끗하게 나누는 것은 아니다

부품 개수를 줄이기 위해, 앞뒤의 회로 블록 사이에서 저항이나 콘덴서 등의 회로 소자를 중복하여 사용하는 경우가 있다. 이 경우, 회로 블록의 일부가 오버랩된다.

그림 11은 회로 블록 2개가 오버랩되어 있는 예이다. 로우 패스 필터 회로의 블록과 리미터 회로의 블록이 접속되어 있으며, 직렬 저항을 블록 두 개가 공유하고 있으므로 이 부분이 오버랩된다.



本記事는 日本 CQ出版社가 發行하는 「トランジスタ技術」誌와의 著作権 協定에 依據하여 提供받은 資料입니다.

## 약한 신호에 강력함을 부여하여 다음 회로를 확실하게 구동시킨다

# 2 앰프

鈴木 雅臣

### 기본 회로 ① : 전압 팔로어

출력 임피던스가 높은 신호원 출력 수신부에 사용된다. 입력 신호와 출력 신호의 전압 파형이 똑같다.

#### 1. 게인을 구하는 식

전압 게인  $A_v=1$ 배

#### 2. 기본형

전압 팔로어는 전압 게인  $A_v$ 가 1배인 증폭기이다(그림 1). OP 앰프 외에 저항 등의 외장 부품을 필요로 하지 않는 간단

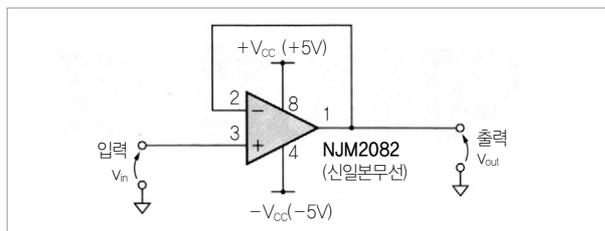


그림 1. 회로도

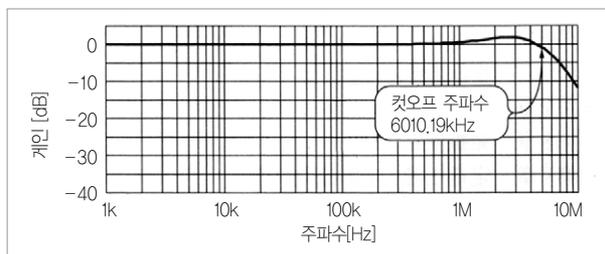


그림 3. 그림 1의 회로에서 전압 게인  $A_v$ 의 주파수 특성

한 회로이지만 부귀환 양이 많으므로 출력 임피던스가 매우 낮다는 특징이 있다.

#### (1) 입출력 파형의 변화와 주파수 특성

그림 2는  $1V_{p-p}/1kHz$  정현파를 입력한 경우의 입출력 파형이다.  $A_v=1$ 이므로 입력과 출력은 똑같은 파형이 된다.

그림 3은  $A_v$ 의 주파수 특성이다. 높은 주파수 영역의 특성

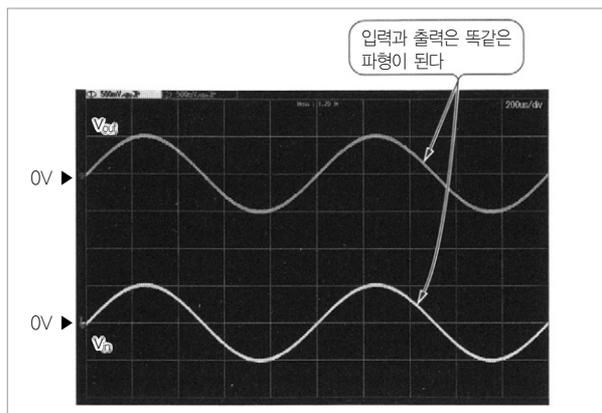


그림 2. 그림 1의 입출력 파형 (0.5V/div, 200 $\mu$ s/div, 1V $_{p-p}$  입력)

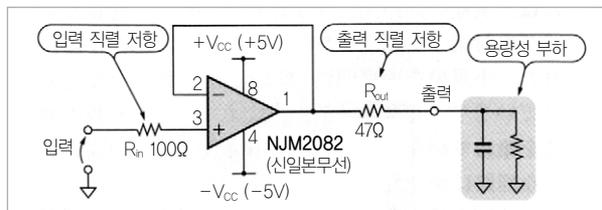


그림 4. 개량 또는 아레인지된 회로의 예 ① : 용량성 부하가 접속돼도 발진하기 어려운 개량판 ( $R_{out}$ 에서 출력 단자와 용량성 부하를 분리해 회로의 동작을 안정시켰다. 또한  $R_{in}$ 에서 배선에 의한 부유용량과 인덕턴스 성분 및 입력 단자를 분리하여 발진을 방지했다)

은 사용하는 OP 앰프에 의해 정해진다. 전압 폴로어는 다양한 앰프 중에서도 가장 대역이 넓은(주파수 특성이 높은 영역까지 확장되는) 회로이다.

3. 개량 또는 어레인지된 회로의 예 ①

그림 4는 콘덴서를 포함한 용량성 부하를 구동하는 회로이다. 출력 직렬 저항  $R_{out}$ 에서 OP 앰프의 출력 단자와 용량성 부하를 분리하여 회로 동작을 안정시킨다. 입력 직렬 저항  $R_{in}$ 은 입력부 배선에 의한 부유용량이나 인덕턴스 성분과 OP 앰프의 입력 단자를 분리하여 발진을 막는 저항이다.

4. 개량 또는 어레인지된 회로의 예 ②

그림 5는  $v_{in}$ 의 플러스 측 신호만 출력하는 반파 정류 회로이다. 기본형 회로와의 차이점은, OP 앰프의 마이너스 전원 단자를 GND에 접속했다는 점이다(OP 앰프를 단전원 동작시키고 있다). 마이너스 전원이 공급되지 않으므로 OP 앰프는 마이너스 신호를 출력할 수 없다. 그 결과, 플러스 반파만 출력된다.

이 회로에는 입력 단자의 허용 전압 범위가 부전원 단자의 전위를 크게 초과하는 절대 최대 정격을 가진 OP 앰프가 사용된다.

(1) 입출력 파형의 변화와 주파수 특성

그림 6은  $1V_{p-p}/1kHz$  정현파를 입력한 경우의 입출력 파

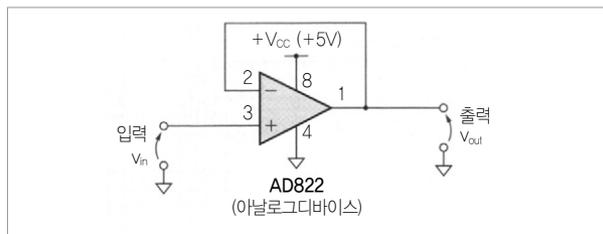


그림 5. 개량 또는 어레인지된 회로의 예 ② : 반파 정류 회로 (OP 앰프의 마이너스 전원 단자를 GND에 접속하여 단전원 동작시켰다)

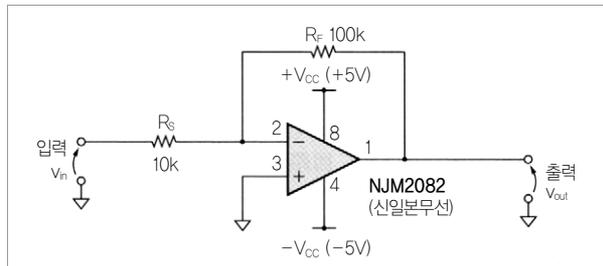


그림 7. 회로도

형이다.  $v_{out}$ 이나  $v_{in}$ 의 마이너스 측이 커트된 반파 파형으로 된다.

5. 참고문헌

(1), (2), (3), (5), (6), (7), (8), (23) – 본지 38쪽 참조

기본 회로 ② : 양전원용 반전 앰프

저항 두 개로 게인이 결정되는 OP 앰프를 사용한 증폭 회로이며 위상은 반전된다. 감쇠시킬 수도 있다.

1. 게인을 구하는 식

$$\text{전압 게인 } A_v = \frac{R_f[\Omega]}{R_s[\Omega]} \text{ [배]}$$

식 안의 마이너스 부호는 극성 반전을 의미한다

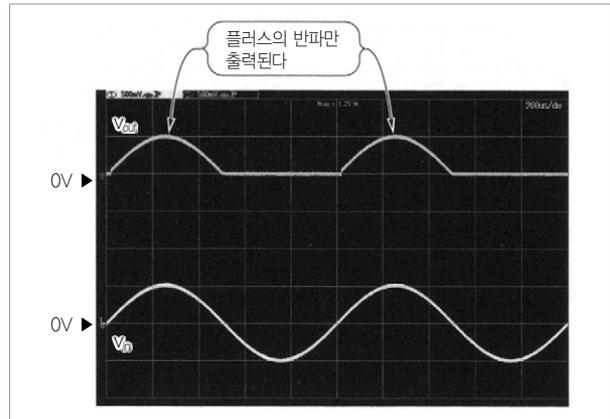


그림 6. 그림 5에 나타난 반단 정류 회로의 입출력 파형 (0.5V/div, 200μs/div,  $v_{out}$ 은  $v_{in}$ 의 마이너스 측이 차단됐다)

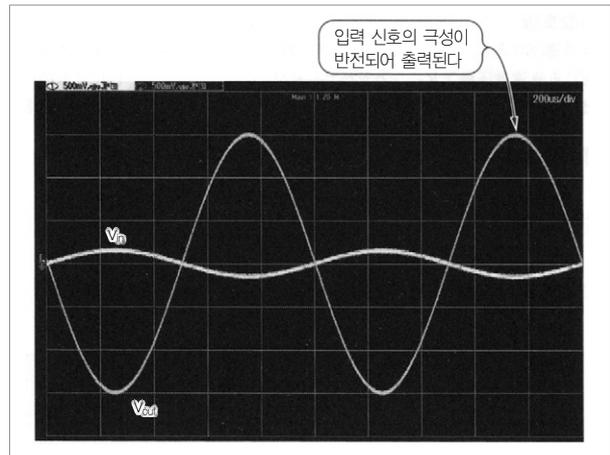


그림 8. 그림 7의 입출력 파형 (0.5V/div, 200μs/div,  $0.3V_{p-p}/1kHz$ 의 정현파 입력)

## 2. 기본형

그림 7은 OP 앰프를 사용한 반전 앰프로서 가장 일반적인 회로이다. 저항 2개로 전압 게인  $A_v$ 를 간단히 설정할 수 있다. 또한,  $R_F < R_S$ 라고 하여 입력 신호를 감쇠시킬 수도 있다.

### (1) 입출력 파형의 변화와 주파수 특성

그림 8은  $0.3V_{P-P}/1kHz$  정현파를 입력한 경우의 입출력 파형이다. 이 회로는  $A_v = -10 (= -100k\Omega/10k\Omega)$ 이므로 입력 신호와 극성이 반전된  $3V_{P-P}$ 의 출력을 얻을 수 있다.

그림 9는  $A_v$ 의 주파수 특성을 나타낸 것이다. OP 앰프의 단독 게인은 주파수가 높은 영역에서 낮아지므로 회로 전체의 주파수 특성도 높은 영역이 감쇠하는, 로우 패스 필터와 같은 특성이 된다. 높은 주파수 영역의 특성은 사용하는 OP 앰프에 따라 결정된다.

## 3. 개량 또는 어레인지된 회로의 예 ①

그림 10은 출력에 발생하는 직류 전압의 오차를 줄인 회로이다. OP 앰프의 비반전 입력 단자-GND 사이에 삽입한  $R_G$ 는 OP 앰프의 입력 바이어스 전류(입력 단자에 흐르는 전류)  $I_-, I_+$ 에 의해 발생하는 직류 전압 강하  $V_{drop+}$ 와  $V_{drop-}$ 를 같

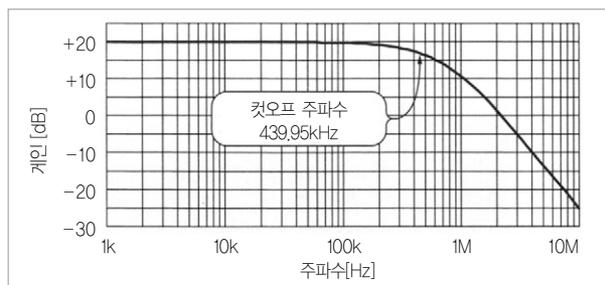


그림 9. 그림 7에서 전압 게인  $A_v$ 의 주파수 특성

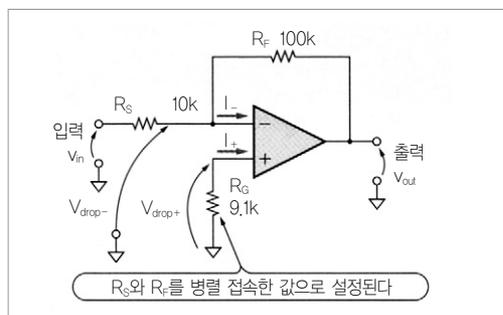


그림 10. 개량 또는 어레인지된 회로의 예 ①: 무입력 시 나오는 직류 출력 전압을 작게 한 개량판 ( $R_G$ 를 추가하면 OP 앰프의 입력 바이어스 전류에서 발생하는 직류 전압 강하  $V_{drop+}$ 와  $V_{drop-}$ 가 같아져 출력 단자에 발생하는 직류 오프셋 전압이 억제된다)

게 하여 출력 단자에 발생하는 직류 오프셋 전압(입력 신호와 관계없이 출력에 발생하는 직류 전압)을 억제하도록 작용한다.  $R_G$ 를 삽입해도 회로의  $A_v$ 나 그 주파수 특성은 변하지 않는다. 이 회로는 입력 바이어스 전류가 큰 OP 앰프를 사용할 때 이용할 수 있다.

## 4. 개량 또는 어레인지된 회로의 예 ②

그림 11은 콘덴서를 포함한 용량성 부하를 구동하는 회로이다. 회로에 위상 보상 회로를 삽입함으로써 용량성 부하에 의해 OP 앰프가 발진해 버리는 높은 주파수 영역의 게인을 낮춰 회로의 동작을 안정시킨다. 그림 12는  $A_v$ 의 주파수 특성을 나타낸 것이다. 주파수 특성이 떨어지는 포인트는 위상 보상 회로에 의해 낮은 주파수에서 이동한다.

## 5. 참고문헌

(1), (2), (3), (5), (6), (7), (8), (11), (23)

## 기본 회로 ③: 양전원용 비반전 앰프

저항 두 개로 게인이 결정되는 OP 앰프를 사용한 증폭 회로

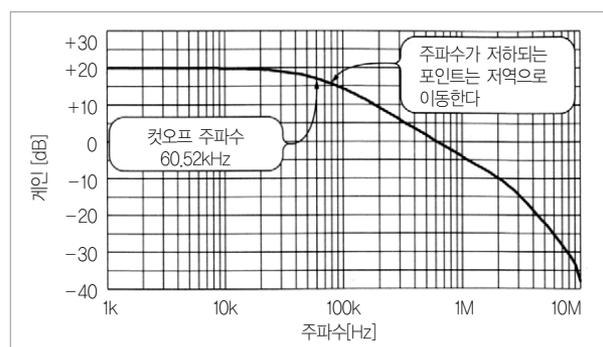


그림 12. 그림 11에서 전자 게인  $A_v$ 의 주파수 특성 (발진 대책위상 보상이 추가된 회로는 고역의 게인이 내려간다)

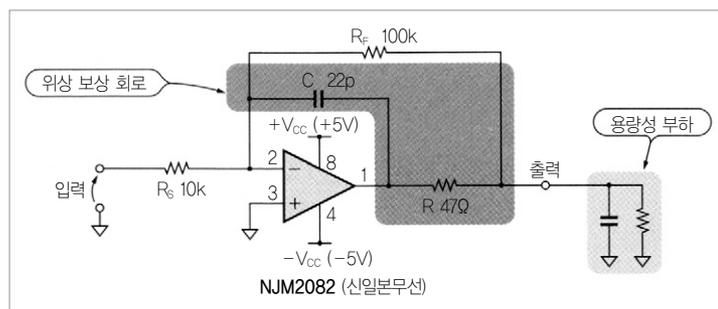


그림 11. 개량 또는 어레인지된 회로의 예 ②: 용량성 부하가 접속돼도 발진하기 어려운 개량판 (위상 보상 회로를 삽입하면 높은 주파수 영역의 게인이 내려가 회로 동작이 안정화된다)

이며 위상이 반전되지 않는다. 게인은 1배 이상이다.

1. 게인을 구하는 식

$$\text{전압 게인 } A_v = 1 + \frac{R_F}{R_S} \text{ [배]}$$

2. 기본형

그림 13은 OP 앰프를 사용한 비반전 앰프로서 가장 일반적인 회로이다. 저항 두 개로 전압 게인  $A_v$ 를 간단히 설정할 수 있다.  $A_v$ 를 1배 미만으로 설정할 수는 없다.

(1) 입출력 파형의 변화와 주파수 특성

그림 14는 0.3V<sub>P-P</sub>/1kHz의 정현파를 입력했을 경우의 입출

력 파형이다. 이 회로는  $A_v=10$ 배( $\approx 1+100k\Omega/11k\Omega$ )의 비반전 앰프이므로, 입력 신호와 극성이 같은 3V<sub>P-P</sub>의 출력을 얻을 수 있다.

그림 15는  $A_v$ 의 주파수 특성을 나타낸 것이다. OP 앰프의 단독 게인은 주파수가 높은 영역에서 낮아지므로 회로 전체의 주파수 특성도 높은 영역이 감쇠하는 로우 패스 필터와 같은 특성이 된다. 높은 주파수 영역의 특성은 사용하는 OP 앰프에 따라 결정된다.

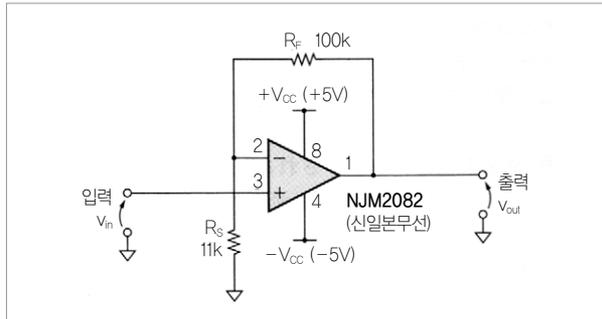


그림 13. 회로도

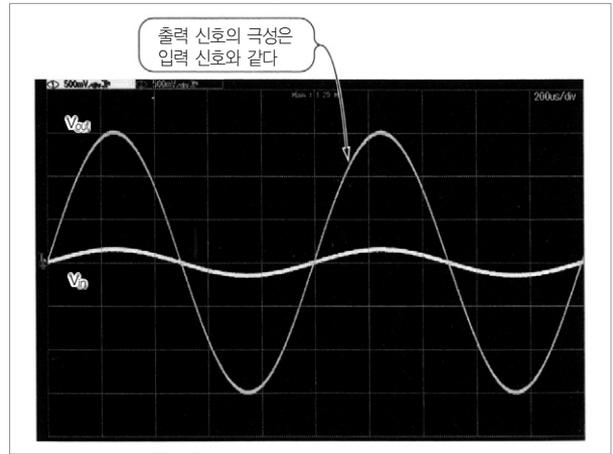


그림 14. 그림 13의 입출력 파형 (0.5V/div, 200μs/div, 0.3V<sub>P-P</sub>/1kHz의 정현파를 입력한 경우)

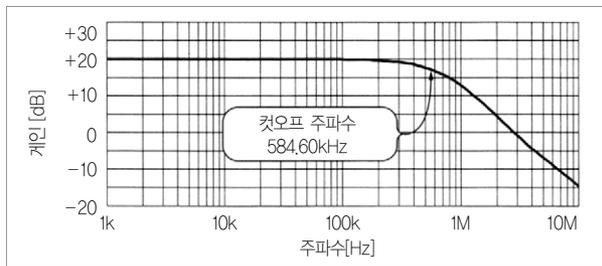


그림 15. 그림 13에 나타난 회로에서 전압 게인  $A_v$ 의 주파수 특성

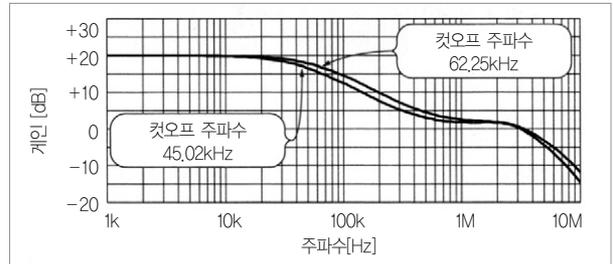


그림 17. 그림 16에 나타난 회로에서 전압 게인  $A_v$ 의 주파수 특성 [발진 대책위상 보상이 추가된 회로는 고역 게인이 저하된다]

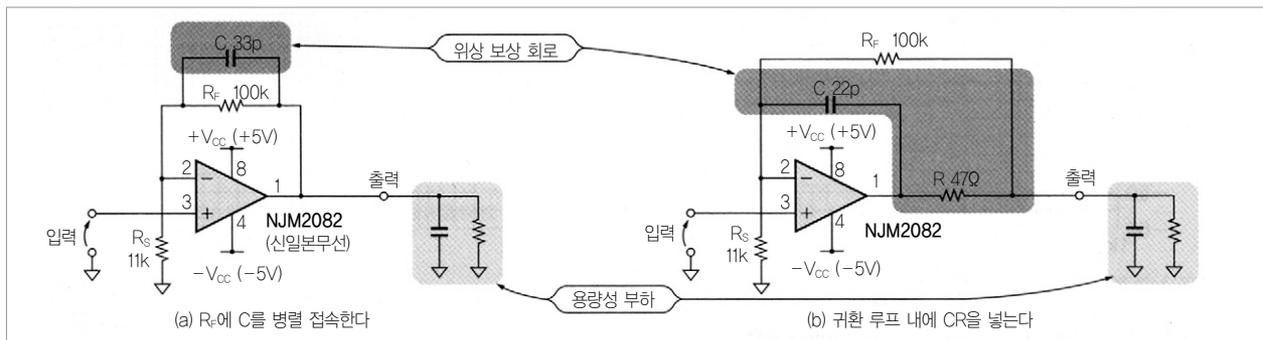


그림 16. 개량 또는 어레인지된 회로의 예 ① : 용량성 부하가 접속돼도 발진하기 어려운 개량판 (높은 주파수 영역의 게인을 낮춰 회로 동작을 안정화시킨다)

### 3. 개량 또는 어레인지된 회로의 예 ①

그림 16은 콘덴서를 포함한 용량성 부하를 구동하는 회로이다. 회로 내에 위상 보상 회로를 삽입함으로써 용량성 부하에 의해 OP 앰프가 발진해 버리는 높은 주파수 영역의 게인을 낮춰 회로 동작을 안정시킨다.

#### (1) 주파수 특성

그림 17은  $A_v$ 의 주파수 특성을 나타낸 것이다. 주파수 특성이 떨어지는 포인트는 위상 보상 회로에 따라 기본형인 그림 15보다 낮은 주파수로 이동한다.

### 4. 참고문헌

(1), (2), (3), (5), (6), (7), (8), (11), (23)

### 기본 회로 ④ : 단전원용 반전 앰프(교류 결합)

마이너스 전원이 없는 회로의 아날로그부에 널리 사용되고 있는 반전 증폭 회로. 교류 신호와 단전원계의 중개에도 사용된다.

#### 1. 게인을 구하는 식

· 전압 게인  $A_v = \frac{R_F}{R_S}$  [배]

· 출력 전압  $V_{out} = A_v V_{in} + V_R$  [V]

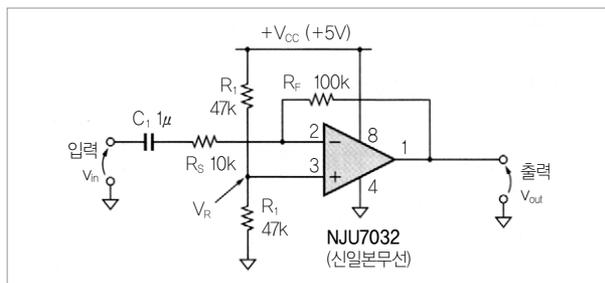


그림 18. 회로도

$$V_R = \frac{R_2}{R_1 + R_2} V_{CC}$$

식에 있는 마이너스 부호는 극성 반전을 의미한다.

### 2. 기본형

그림 18은 콘덴서  $C_1$ 에서 입력 신호  $v_{in}$ 의 직류 성분을 차단함과 동시에 교류 성분만 받아 반전 증폭하는 회로이다. 단전원으로 동작시키기 위해  $R_1$ 과  $R_2$ 로 만든 직류 전압  $V_R$ 을 OP 앰프의 비반전 입력 단자에 부가하고, 동작의 기준 전위를 GND에서  $V_{CC}$  측으로 옮겼다. 이 회로는  $V_R$ 을  $R_1$ 과  $R_2$ 로 만들었지만 외부에서 만든 직류 전압을 이용하는 경우도 있다.

교류 신호의 전압 게인  $A_v$ 는  $R_S$ 와  $R_F$ 로 결정된다. 또한,  $R_F < R_S$ 로 함으로써 입력 신호를 감쇠시킬 수도 있다.

#### (1) 입출력 파형의 변화와 주파수 특성

그림 19는 0.3V<sub>P-P</sub>/1kHz 정현파를 입력한 경우의 입출력 파형을 나타낸 것이다. 출력 신호  $v_{out}$ 은  $+2.5V \{ = (47k\Omega / (47k\Omega + 47k\Omega)) \times 5V \}$ 의 직류 성분에 입력 신호와 극성이 반전된

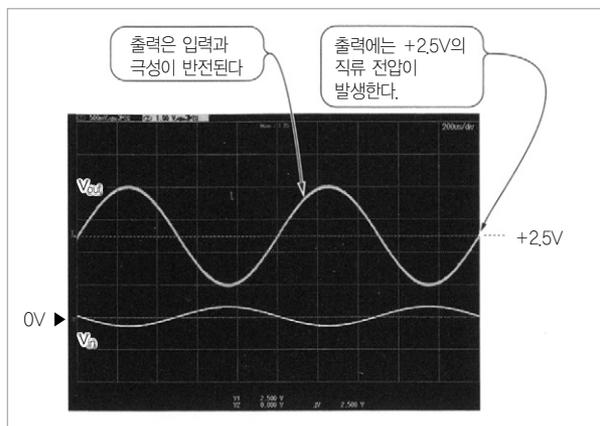


그림 19. 그림 18의 입출력 파형 ( $v_{in}$  : 0.5V/div,  $v_{out}$  : 1V/div, 200μs/div, 0.3V<sub>P-P</sub>/1kHz의 정현파를 입력한 경우)

## '도움이 되는 회로 80선' 에서 다루는 회로의 선택 기준

여기서는 A-D/D-A 컨버터를 내장한 원칩 마이크 주변 회로로 널리 사용되는 아날로그 회로라는 관점에서 골랐다. 원칩 마이크는 각종 센서 출력의 신호처리, 모터나 액추에이터의 컨트롤 등에 많이 사용되고 있다.

계재한 회로는 이러한 용도에서 널리 사용되는 앰프, 필터, 연산

회로, 스위치 회로 등의 전형적인 회로이다.

또한 저항이나 콘덴서, 다이오드, 트랜지스터, OP 앰프와 같은 개별 부품으로 구성된 회로로 한정했다. 3단계 레귤레이터 IC를 사용한 정전압 전원 회로와 같이 IC나 LSI를 사용하여 실현할 수 있는 회로는 제외했다.

$3V_{P-P}(= -0.3V_{P-P} \times 100k\Omega / 10k\Omega)$ 의 교류 성분이 중첩된 파형으로 된다.

그림 20(a)은  $A_v$ 의 고역 측(1kHz~10MHz) 주파수 특성이고, 그림 20(b)은  $A_v$ 의 저역 측(10Hz~100kHz) 주파수 특성이다. 저역 측은 1차 하이 패스 필터의 특성(저역을 향해 20dB/dec의 기울기로 감쇠한다)으로 된다. 하이 패스 필터의 컷오프 주파수  $f_c$ 는 다음과 같이 정해진다.

$$f_c = \frac{1}{2\pi C_1 R_S} \text{ [Hz]}$$

이 회로는  $f_c = 16\text{Hz} (= 1 / (2\pi \times 1\mu\text{F} \times 10k\Omega))$ 로 된다.

### 3. 참고문헌

(1), (2), (3), (5), (6), (7), (8), (11), (23)

### 기본 회로 ⑤ : 단전원용 비반전 앰프(교류 결합)

마이너스 전원이 없는 회로의 아날로그부에 널리 사용되고 있는 비반전 증폭 회로. 교류 신호와 단전원계의 중개에도 사용된다.

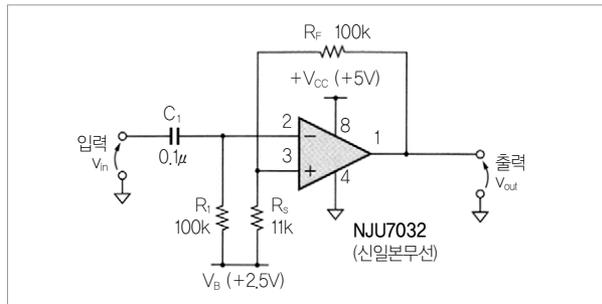


그림 21. 회로도

### 1. 게인을 구하는 식

· 교류 신호의 전압 게인  $A_v = 1 + \frac{R_F}{R_S}$  [배]

· 출력 전압  $v_{out} = A_v v_{in} + V_B$  [V]

### 2. 기본형

그림 21은 콘덴서  $C_1$ 에서 입력 신호  $v_{in}$ 의 직류 성분을 차단함과 동시에 교류 성분만 받아 비반전 증폭하는 회로이다. 단전원으로 동작시키기 위해 외부에서 공급하는 직류 전원  $V_B$ 를 증폭 기준 전위로 하고 있다.  $V_B$ 의 값은  $V_{CC}$ 와 GND의 중간 정도로 설정된다. 교류 신호의 전압 게인  $A_v$ 는  $R_S$ 와  $R_F$ 에 따라 결정된다.

#### (1) 입출력 파형의 변화와 주파수 특성

그림 22는  $0.3V_{P-P}/1\text{kHz}$  정현파를 입력했을 경우의 입출력 파형이다. 출력 신호  $v_{out}$ 은  $+2.5V(=V_B)$ 의 직류 성분에

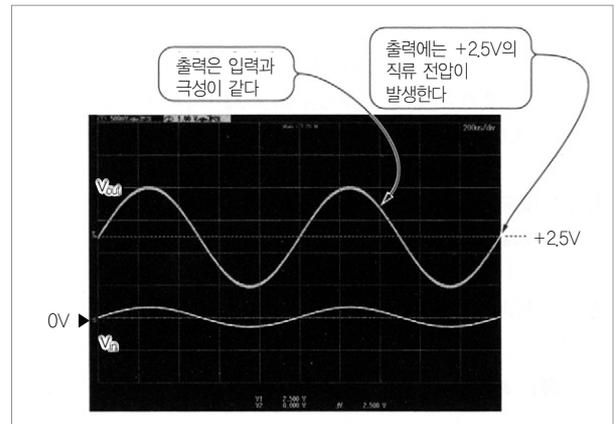


그림 22. 그림 21의 입출력 파형 ( $v_{in} : 0.5V/div, v_{out} : 1V/div, 200\mu s/div$ ,  $0.3V_{P-P}/1\text{kHz}$ 의 정현파를 입력한 경우)

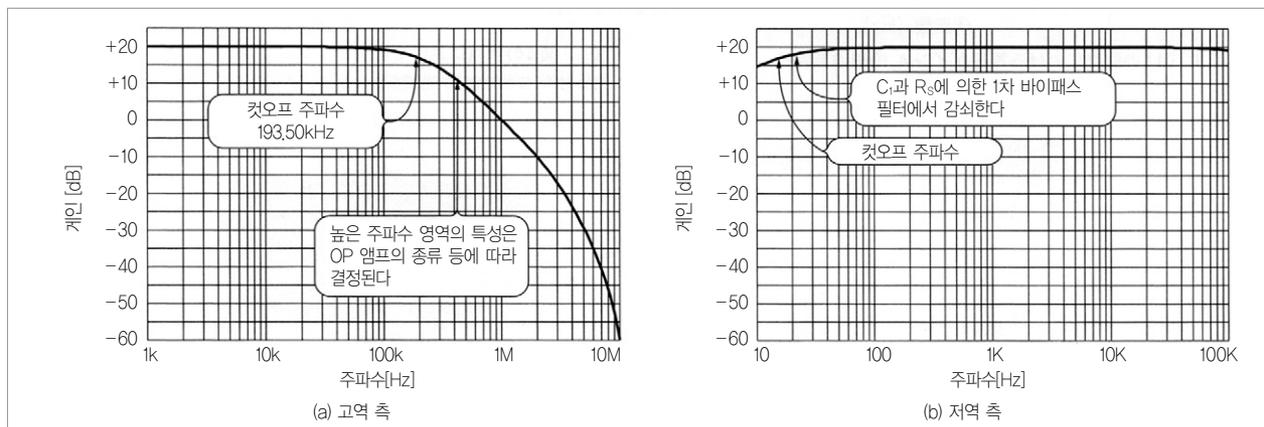


그림 20. 그림 18에 나타난 회로에서 전압 게인  $A_v$ 의 주파수 특성

$3V_{P-P} \{ \approx 0.3V_{P-P} \times (1 + 100k\Omega / 11k\Omega) \}$ 의 교류 성분이 중첩된 파형으로 된다.

그림 23(a)은  $A_v$ 의 고역 측(1kHz~10MHz) 주파수 특성이 다. OP 앰프의 단독 게인은 주파수가 높은 영역에서 저하되므로, 회로 전체의 주파수 특성도 고역이 감쇠하는 로우 패스 필터와 같은 특성이 된다. 높은 주파수 영역의 특성은 사용하는 OP 앰프에 따라 결정된다.

그림 23(b)은  $A_v$ 의 저역 측(10Hz~100kHz) 주파수 특성이 다. 저역 측은 1차 하이 패스 필터의 특성(저역을 향해 20dB/dec의 기울기로 감쇠)이 된다. 하이 패스 필터의 컷오프 주파수  $f_c$ 는 다음과 같이 정해진다.

$$f_c = \frac{1}{2\pi C_1 R_1} \text{ [Hz]}$$

이 회로는  $f_c \approx 16\text{Hz} \{ = 1 / (2\pi \times 0.1\mu\text{F} \times 100k\Omega) \}$ 로 된다.

### 3. 참고문헌

- (1), (2), (3), (5), (6), (7), (8), (11), (23)

### 기본 회로 ⑥ : 차동 앰프

임의의 두 점 사이의 전압차를 얻을 수 있다

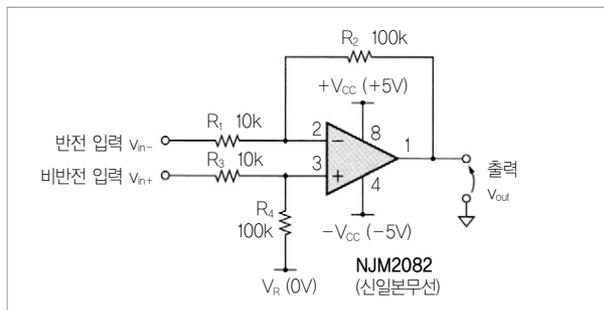


그림 24. 회로도

### 1. 게인을 구하는 식

· 차동 전압 게인  $A_v = \frac{R_2}{R_1}$  [배]

단,  $\frac{R_2}{R_1} = \frac{R_4}{R_3}$

· 출력 전압  $v_{out} = A_v(v_{in+} - v_{in-}) + V_R$  [V]

### 2. 기본형

그림 24는 비반전 입력  $v_{in+}$ 와 반전 입력  $v_{in-}$ 의 차전압 ( $v_{in+} - v_{in-}$ )을 증폭하는 회로이다. 입력 신호 2개의 차를 얻을 수 있으므로 감산 회로로 이용할 수 있다.

또, 2개의 입력 단자에 동일한 신호를 입력하면 그 차는 0로 되므로 출력도 0가 된다. 이 기능을 이용하여 2개의 입력 단자에 동일하게 중첩되는 코먼 모드 잡음을 제거할 목적으로 사용하는 경우가 있다.

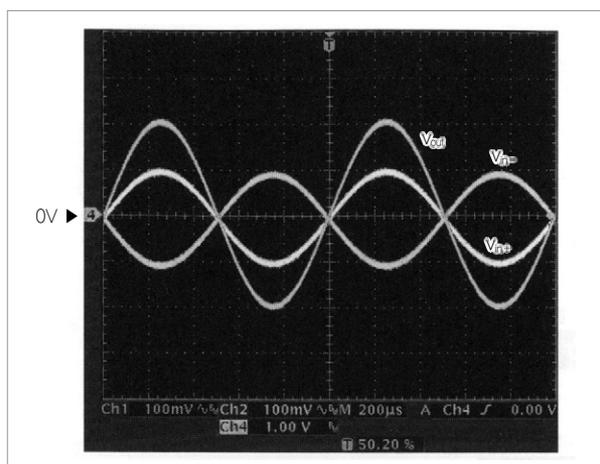


그림 25. 입력 신호 2개( $V_{n+}$ 와  $V_{n-}$ )의 위상차가 180°일 때 그림 24의 입출력 파형 ( $V_{n+}$ ,  $V_{n-}$  : 0.1V/div,  $V_{out}$  : 1V/div, 200µs/div,  $v_{in+}$ 에 0.2V<sub>P-P</sub>/1kHz의 정현파,  $V_{n-}$ 에  $V_{n+}$ 와 진폭 및 주파수가 같으며 플러스, 마이너스 극성이 반대인 정현파를 입력한 경우)

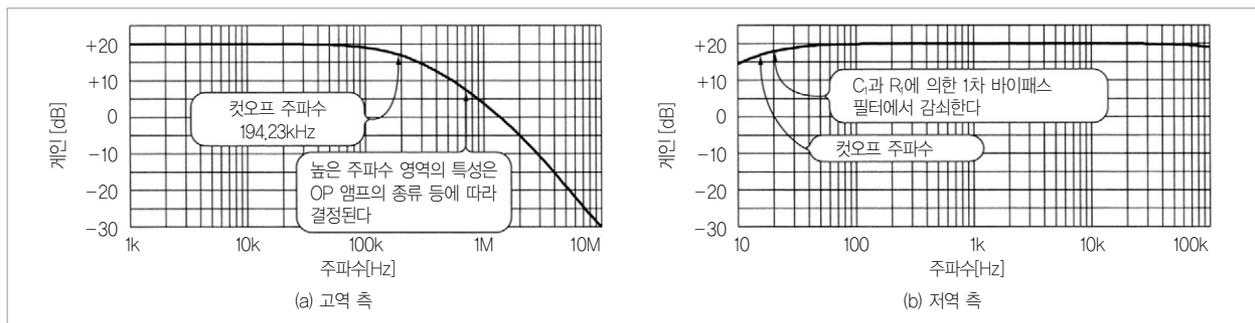


그림 23. 그림 21에 나타난 회로에서 전압 게인  $A_v$ 의 주파수 특성

(1) 입력력 파형의 변화와 주파수 특성

그림 25는  $v_{in+}$ 에  $0.2V_{P-P}/1kHz$ 의 정현파를,  $v_{in-}$ 에  $v_{in+}$ 와 진폭 및 주파수가 같으며 플러스, 마이너스 극성이 반대인 정현파( $v_{in+} = -v_{in-}$ )를 입력한 경우의 입력력 파형이다.  $v_{in+}$ 와 극성이 같은( $v_{in-}$ 와 역극성)  $4V_{P-P} = 100k\Omega/10k\Omega \times (0.2V_{P-P} - (-0.2V_{P-P})) + 0V_{DC}$ 의 출력을 얻을 수 있다.

그림 26은  $v_{in+}$ 와  $v_{in-}$ 에 동일한  $0.2V_{P-P}/1kHz$ 의 정현파( $v_{in+} = v_{in-}$ )를 입력한 경우의 입력력 파형을 나타낸 것이다. 2개의 입력 단자에 동일한 신호를 입력했으므로  $v_{out} = 0V = 100k\Omega/10k\Omega \times (0.2V_{P-P} - 0.2V_{P-P}) + 0V_{DC}$ 가 된다.

그림 27은  $v_{in+}$ 에  $0.2V_{P-P}/1kHz$ 의 정현파를,  $v_{in-}$ 에  $v_{in+}$ 와

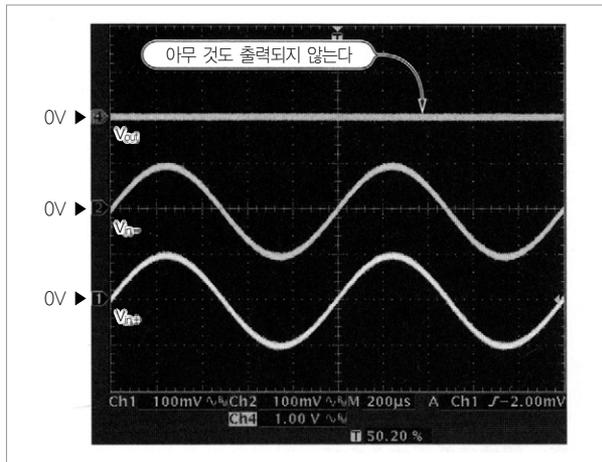


그림 26. 입력 신호 2개( $v_{in+}$ 와  $v_{in-}$ )의 위상차가  $0^\circ$ 일 때 그림 24의 입력 파형과 출력 파형 ( $v_{in+}$ ,  $v_{in-}$  :  $0.1V/div$ ,  $v_{out}$  :  $1V/div$ ,  $200\mu s/div$ ,  $v_{in+}$ 와  $v_{in-}$ 에 동일한  $0.2V_{P-P}/1kHz$ 의 정현파를 입력한 경우)

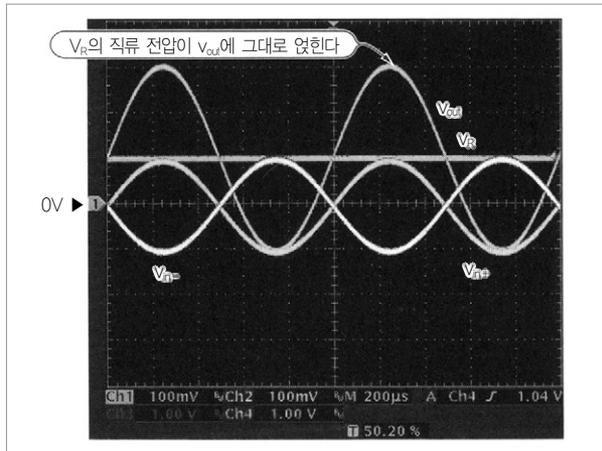


그림 27. 입력 신호 2개( $v_{in+}$ 와  $v_{in-}$ )의 위상차가  $180^\circ$ 이며, 직류 바이어스 전압 ( $V_R$ )이  $1V$ 일 때 그림 24의 입력력 파형 ( $v_{in+}$ ,  $v_{in-}$  :  $0.1V/div$ ,  $V_R$ ,  $v_{out}$  :  $1V/div$ ,  $200\mu s/div$ ,  $v_{in+}$ 에  $0.2V_{P-P}/1kHz$ 의 정현파,  $v_{in-}$ 에  $v_{in+}$ 와 극성이 반대인 정현파를 입력한 경우)

극성이 반대인 정현파( $v_{in+} = -v_{in-}$ )를, 그리고  $V_R = +1V_{DC}$ 로 한 경우의 입력력 파형이다.  $v_{out}$ 에는  $V_R$ 의 직류 전압이 그대로 출력되며,  $v_{out} = 4V_{P-P} + 1V_{DC} = 100k\Omega/10k\Omega \times (0.2V_{P-P} - (-0.2V_{P-P})) + 1V_{DC}$ 로 된다.

그림 28은  $A_v$ 의 주파수 특성이다. OP 앰프 단독 계인은 주파수가 높은 영역에서 저하되므로 회로 전체의 주파수 특성과 고역이 감쇠하는 로우 패스 필터와 같은 특성이 된다. 높은 주파수 영역의 특성은 사용하는 OP 앰프에 따라 결정된다.

3. 참고문헌

- (1), (2), (3), (5), (6), (7), (8), (9), (11), (13), (23)

기본 회로 ⑦ : 2앰프형 인스트루멘테이션 앰프

차동 앰프보다 같은 상에서 같은 레벨의 입력 신호를 제거하는 성능이 우수하다(그림 29 참조).

1. 게인을 구하는 식

· 차동 전압 게인  $A_v = -\left(1 + \frac{R_4}{R_3}\right)$  [배]

단,  $\frac{R_1}{R_2} = \frac{R_4}{R_3}$

· 출력 전압  $v_{out} = A_v(v_{in+} - v_{in-})$  [V]

2. 참고문헌

- (3), (5), (6), (9), (13), (23)

기본 회로 ⑧ : 3앰프형 인스트루멘테이션 앰프

2앰프형 인스트루멘테이션 앰프보다 같은 상에서 같은 레벨의 입력 신호를 제거하는 성능이 우수하다.

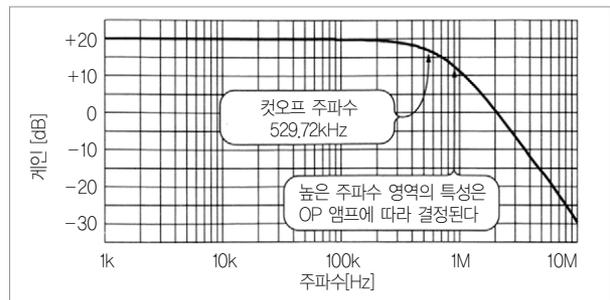


그림 28. 그림 24에 나타난 회로에서 전압 게인  $A_v$ 의 주파수 특성

### 1. 게인을 구하는 식

· 차동 전압 게인  $A_v = -\left(1 + \frac{2R_1}{R_G}\right) \frac{R_4}{R_3}$  [배]

단,  $R_1 = R_2, \frac{R_4}{R_3} = \frac{R_6}{R_5}$  라고 한다.

· 출력 전압  $v_{out} = A_v(v_{in+} - v_{in-}) + V_R$  [V]

### 2. 기본형

그림 30은 인스트루멘테이션 앰프나 계장 앰프라고 불리는 회로이다. 비반전 입력  $v_{in+}$ 와 반전 입력  $v_{in-}$ 의 차전압( $v_{in+} - v_{in-}$ )을 증폭시킨다. 입력 신호 2개의 차를 얻을 수 있으므로 2개의 입력 단자에 동일하게 실리는 코먼 모드 잡음을 제거할 목적으로 사용된다.

차동 앰프도 동일한 기능을 갖고 있지만, 일반적으로 인스트루멘테이션 앰프가 코먼 모드 잡음을 제거하는 능력인 CMRR(Common-Mode Rejection Ratio : 동기신호 제거비)이 뛰어나다(입력 신호 2개의 차를 연산하는 정밀도가 높다). CMRR을 높이기 위해  $R_1 \sim R_6$ 에는 고정밀도의 저항이 사용된다.

### (1) 입출력 파형의 변화와 주파수 특성

그림 31은  $v_{in+}$ 에 0.2V<sub>P-P</sub>/1kHz의 정현파를,  $v_{in-}$ 에  $v_{in+}$ 와 진폭 및 주파수가 동일하며 플러스, 마이너스 극성이 반대인 정현파( $v_{in+} = -v_{in-}$ )를 입력한 경우의 입출력 파형이다.

$v_{in+}$ 와 극성이 같은( $v_{in-}$ 와 역극성) 4V<sub>P-P</sub>[(1+2×10kΩ/2.2kΩ)×{0.2V<sub>P-P}</sub>-(−0.2V<sub>P-P})+0V<sub>DC</sub>]의 출력을 얻을 수 있다.</sub>

그림 32는  $v_{in+}$ 와  $v_{in-}$ 에 0.2V<sub>P-P</sub>/1kHz의 정현파( $v_{in+} = v_{in-}$ )

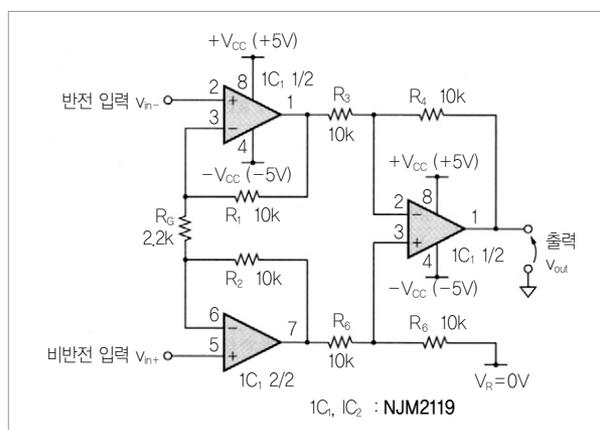


그림 30. 회로도

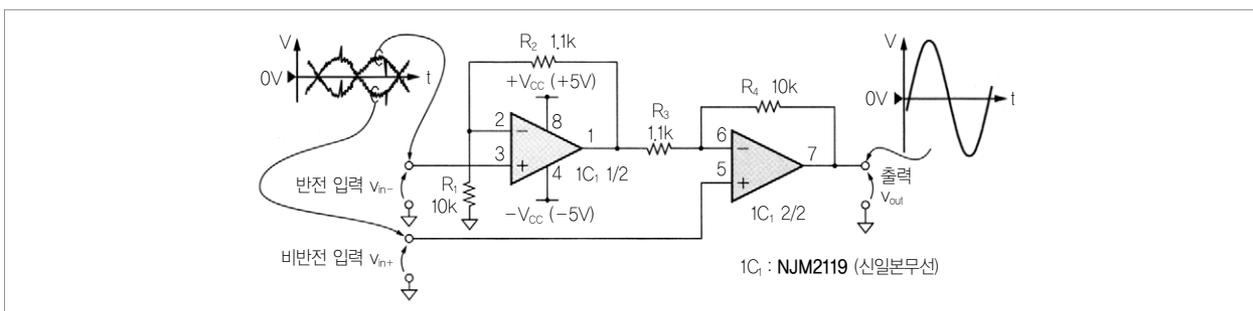


그림 29. 회로도

## 온라인 계산 시트 사용법

그림 A는 일본 『트랜지스터기술』지 웹페이지에 공개되어 있는 온라인 계산 시트이다.

비반전 앰프의 상수를 입력하여 게인을 계산한다. 이번에 소개한 주요 회로는 계산 시트를 준비해 두었다.

(<http://toragi.cqpub.co.jp/tabid/316/Default.aspx>)

**비반전 앰프**

입력하면 (진한 테두리 안에 입력하십시오)

R <sub>1</sub> :	100,000	kΩ	
R <sub>3</sub> :	11,000	kΩ	
전압 게인 A <sub>v</sub> :	10.09	배	값이 나온다
	20.08	dB	

그림 A. 비반전 앰프의 게인을 온라인 계산 시트로 산출하는 모습

를 입력한 경우의 입출력 파형이다. 2개의 입력 단자에 동일한 신호를 입력했으므로  $v_{out} = 0V \{ = (1 + 2 \times 10k\Omega / 2.2k\Omega) \times (0.2V_{P-P} - 0.2V_{P-P}) + 0V_{DC} \}$ 로 된다.

그림 33은  $v_{in+}$ 에  $0.2V_{P-P}/1kHz$ 의 정현파를,  $v_{in-}$ 에  $v_{in+}$ 와 극성이 반대인 정현파( $v_{in+} = -v_{in-}$ )를, 그리고  $V_R = +1.5V_{DC}$ 로 한 경우의 입출력 파형이다.  $v_{out}$ 에는  $V_R$ 의 직류 전압이 그대로 출력되며,  $v_{out} = 4V_{P-P} + 1.5V_{DC} \{ = (1 + 2 \times 10k\Omega / 2.2k\Omega) \times (0.2V_{P-P} - (-0.2V_{P-P})) + 1.5V_{DC} \}$ 로 된다.

그림 34는 그림 33과 동일한 입력 조건에서 2개의 입력 신호에  $0.1V_{P-P}$ 의 코먼 모드 잡음  $v_N$ 을 더했을 경우의 입출력 파형이다.

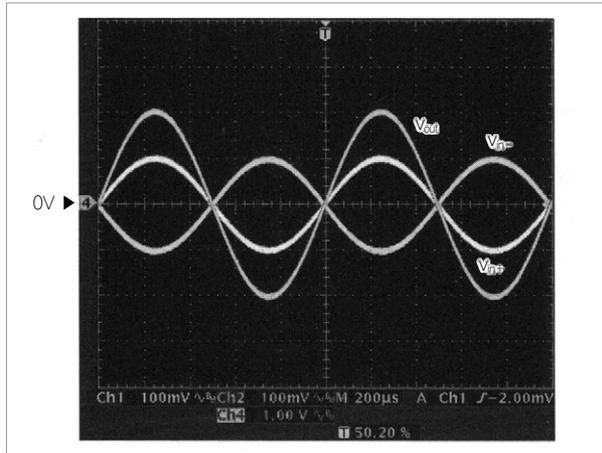


그림 31. 입력 신호 2개( $v_{in+}$ 와  $v_{in-}$ )의 위상차가  $180^\circ$ 일 때 그림 30의 입출력 파형 ( $v_{in+}, v_{in-} : 0.1V/div, v_{out} : 1V, 200\mu s/div, v_{in+}$ 에  $0.2V_{P-P}/1kHz$ 의 정현파,  $v_{in-}$ 에  $v_{in+}$  및 진폭, 주파수가 같으며 플러스와 마이너스 극성이 반대인 정현파를 입력한 경우)

코먼 모드 잡음이 제거된  $v_{out} = 4V_{P-P} + 1.5V_{DC} \{ = (1 + 2 \times 10k\Omega / 2.2k\Omega) \times (0.2V_{P-P} + v_N) - (-0.2V_{P-P} + v_N) + 1.5V_{DC} \}$ 의 출력을 얻을 수 있다.

그림 35는  $A_v$ 의 주파수 특성을 나타낸 것이다. 높은 주파수 영역의 특성은 사용하는 OP 앰프에 따라 결정된다.

### 3. 개량 또는 어레인지된 회로의 예 ①

OP 앰프 3개와 CMRR에 관련된 고정밀 저항을 하나의 패키지에 모은 인스트루멘테이션 앰프 IC가 있다. 그림 36은 인스트루멘테이션 앰프 IC인 AD623이다. IC 내부는 기본형 회로와 같으며  $R_G$ 를 외장하면  $A_v$ 를 설정할 수 있다. 동작은 기본형과 똑같다.

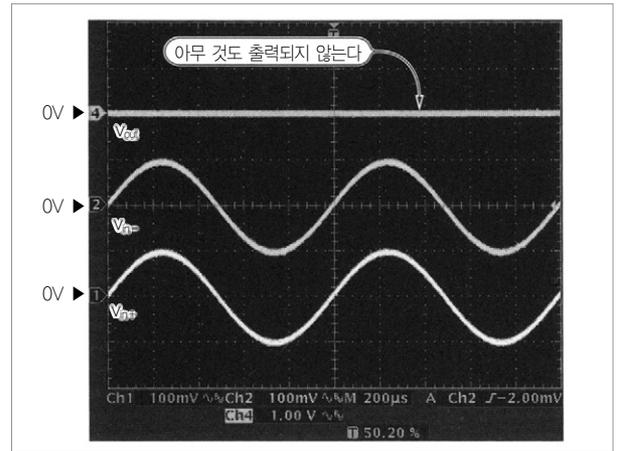


그림 32. 입력 신호 2개( $v_{in+}$ 와  $v_{in-}$ )의 위상차가  $0^\circ$ 일 때 그림 30의 입출력 파형 ( $v_{in+}, v_{in-} : 0.1V/div, v_{out} : 1V, 200\mu s/div, v_{in+}$ 와  $v_{in-}$ 에  $0.2V_{P-P}/1kHz$ 의 정현파를 입력한 경우)

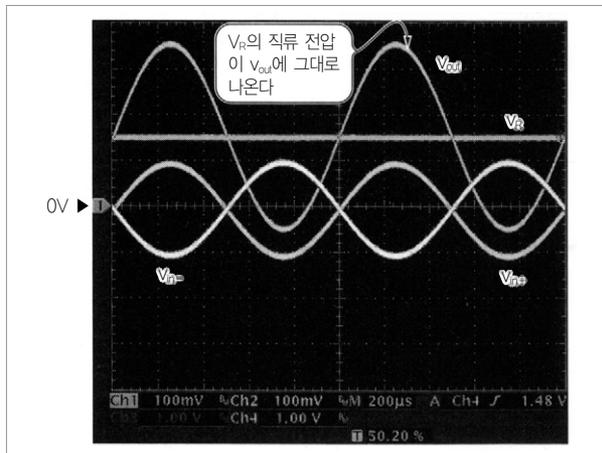


그림 33. 입력 신호 2개( $v_{in+}$ 와  $v_{in-}$ )의 위상차가  $180^\circ$ 이며, 오프셋 전압( $V_R$ )이  $1.5V$ 일 때 그림 30의 입출력 파형 ( $v_{in+}, v_{in-} : 0.1V/div, v_{out}, V_R : 1V/div, 200\mu s/div, v_{in+}$ 에  $0.2V_{P-P}/1kHz$ 의 정현파를,  $v_{in-}$ 에  $v_{in+}$ 와 극성이 반대인 정현파를 입력한 경우)

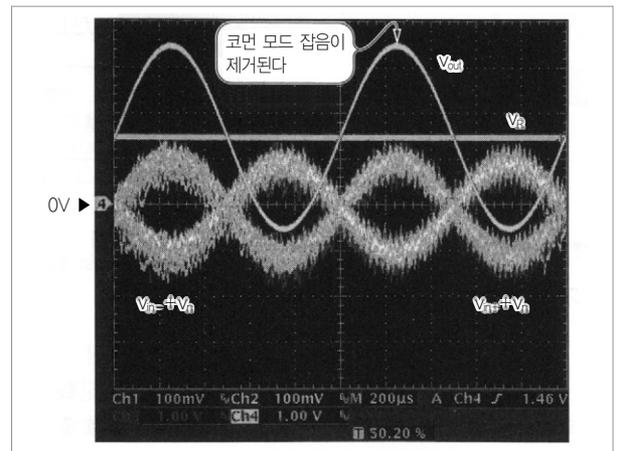


그림 34. 그림 33과 같은 입력 조건에서 2개의 입력 신호에  $0.1V_{P-P}$ 의 코먼 모드 잡음  $v_N$ 을 가한 경우 ( $v_{in+}, v_{in-} : 0.1V/div, v_{out}, V_R : 1V/div, 200\mu s/div$ , 코먼 모드 잡음이 제거되어 출력된다)

4. 참고문헌

(3), (5), (6), (7), (9), (13), (23)

기본 회로 ⑨ : 이미터 폴로어

OP 앰프에서는 다룰 수 없는 높은 주파수 또는 출력 임피던스가 높은 신호를 수신하는 데 사용된다. 입출력 전압의 교류 파형이 똑같다(그림 37 참조).

1. 게인을 구하는 식

전압 게인  $A_v = 1$ 배

$$\text{출력 임피던스 } Z_{out} = \frac{h_{ie}}{1+h_{fe}} [\Omega]$$

$h_{fe}$ 는 트랜지스터의 전류 증폭률,  $h_{ie}$ 는 트랜지스터의 입력

임피던스이다.

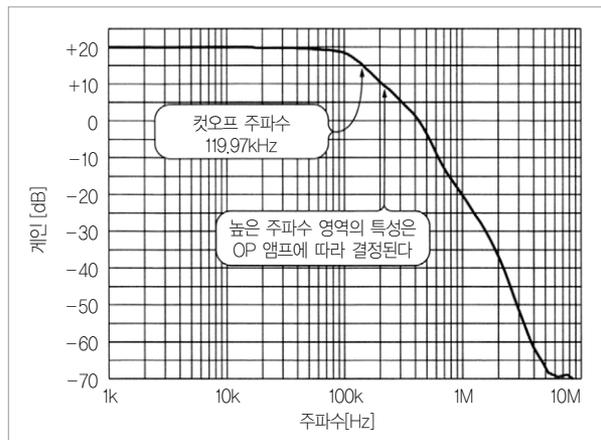


그림 35. 그림 30에 나타난 회로에서 전압 게인  $A_v$ 의 주파수 특성

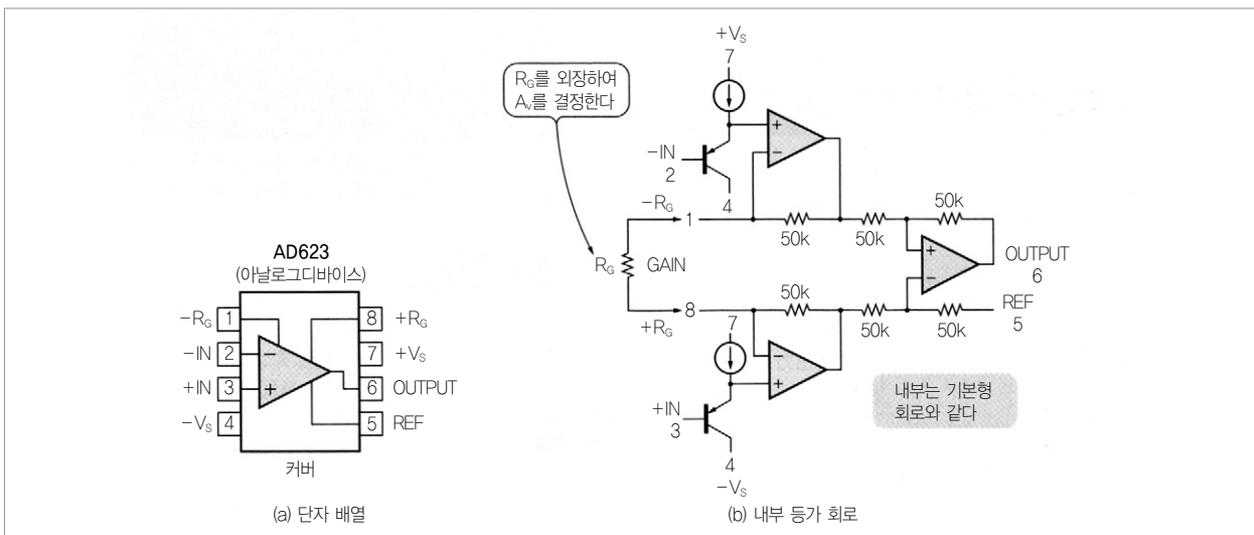


그림 36. 원칩화된 인스트루멘테이션 앰프 IC (AD623의 데이터시트에서 인용)

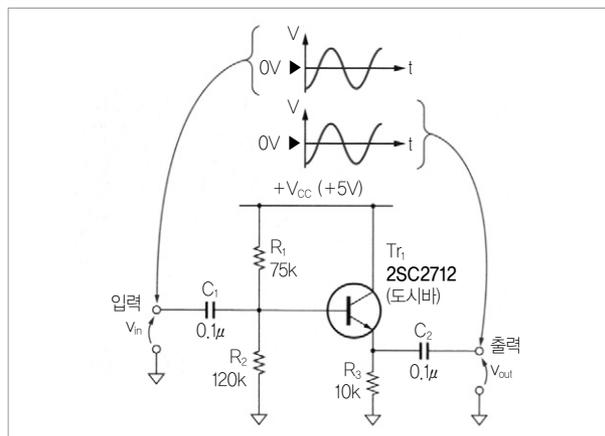


그림 37. 회로도

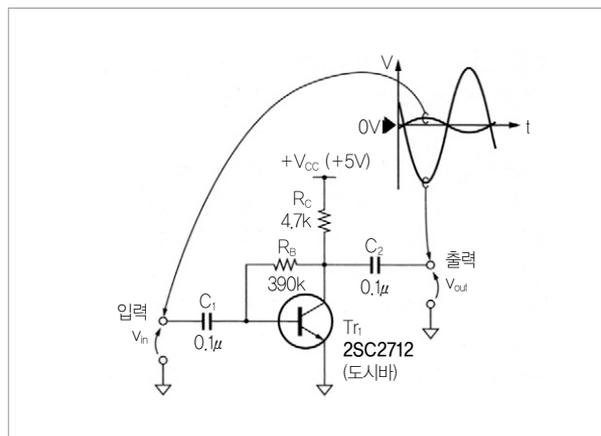


그림 38. 회로도

2. 참고문헌

(1), (4), (8), (19), (20), (22)

기본 회로 ⑩ : 트랜지스터 1개로 만들어진 단전원용 반전 앰프

OP 앰프로는 다룰 수 없는 높은 주파수의 신호 증폭에 사용된다(그림 38 참조).

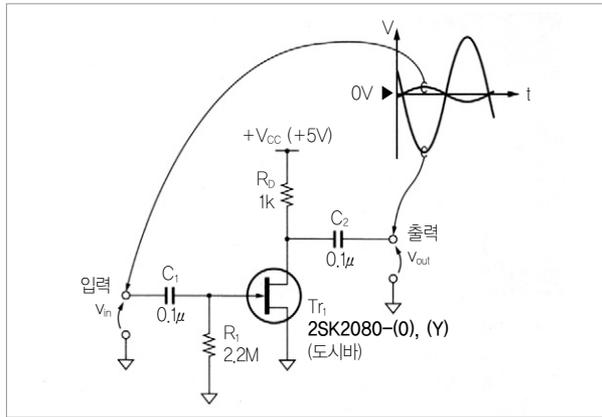


그림 39. 회로도

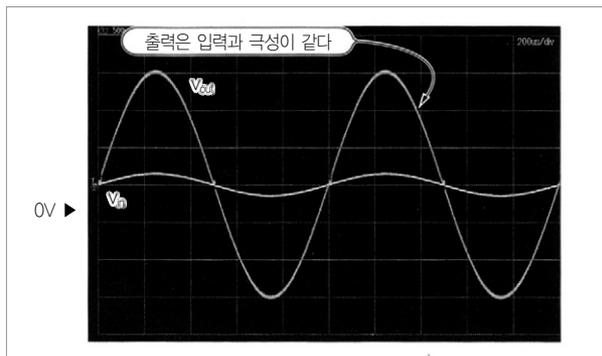


그림 41. 그림 40의 입출력 파형 (0.5V/div, 200μs/div, 부하 30Ω, 입력 0.3V<sub>p-p</sub>/1kHz의 정현파인 경우)

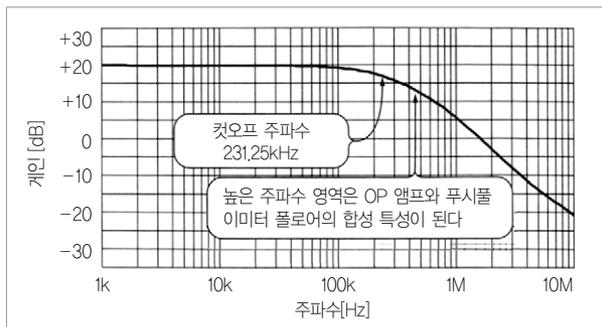


그림 43. 그림 40에 나타난 회로에서 전압 게인 A<sub>v</sub>의 주파수 특성

1. 게인을 구하는 식

$$\text{전압 게인 } A_v = \frac{-h_{fe}R_C}{h_{ie}} \text{ [배]}$$

$h_{fe}$ 는 트랜지스터의 전류 증폭률,  $h_{ie}$ 는 트랜지스터의 입력 임피던스이다. 식에 있는 마이너스 부호는 극성 반전을 의미한다.

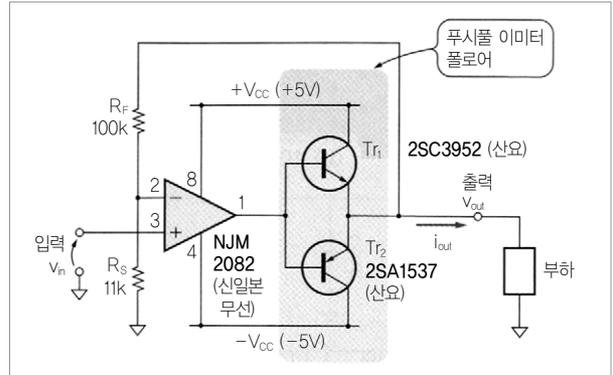


그림 40. 회로도

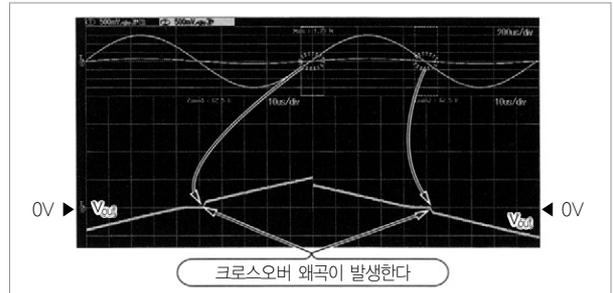


그림 42. 그림 40의 출력 전압을 확대하면 왜곡돼 있다는 것을 알 수 있다 (0.5V/div, 10μs/div)

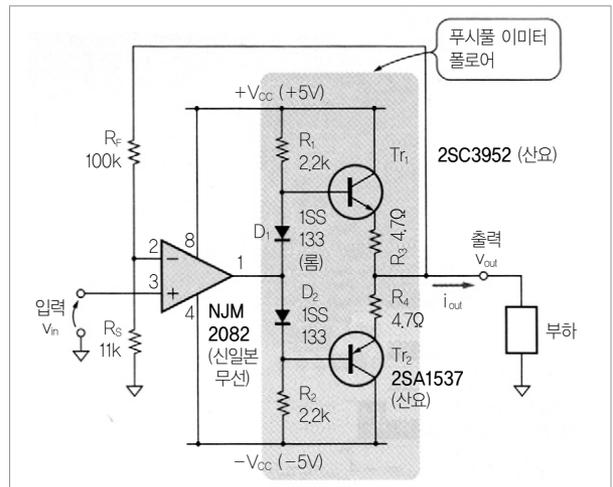


그림 44. 개량 또는 어레인지된 회로의 예 ① : 크로스오버 왜곡을 저감시킨 회로

## 2. 참고문헌

(1), (4), (18), (19), (20), (22)

### 기본 회로 ⑪ : JFET 1개로 만들어진 단전원용 반전 앰프

마이크로폰 등의 출력 임피던스가 매우 높은 신호원이나, OP 앰프로는 다룰 수 없는 높은 주파수의 신호 증폭에 사용된다(그림 39 참조).

#### 1. 게인을 구하는 식

전압 게인  $A_v = -y_{fs}R_D$  [배]

$y_{fs}$ 는 FET의 순방향 전달 어드미턴스이다. 식에 있는 마이너스 부호는 극성 반전을 의미한다.

## 2. 참고문헌

(4), (21)

### 기본 회로 ⑫ : 비반전형 파워 앰프

모터나 스피커 등 저임피던스 부하 구동에 널리 사용된다. 양전원용 비반전 앰프보다 큰 출력 전류를 얻을 수 있다.

#### 1. 게인을 구하는 식

전압 게인  $A_v = 1 + \frac{R_F}{R_S}$  [배]

#### 2. 기본형

그림 40은 OP 앰프의 출력에 푸시풀 이미터 폴로어를 접속

하여 대전류를 출력할 수 있도록 한 비반전 앰프 회로이다. 저항 2개로 전압 게인  $A_v$ 를 설정할 수 있다.  $A_v$ 를 1배 미만으로 설정할 수는 없다.

그림 41은 부하로  $30\Omega$ 의 저항을 접속하고  $0.3V_{P-P}/1kHz$ 의 정현파를 입력한 경우의 입출력 파형이다. 이 회로는  $A_v=10$  배( $\approx 1+100k\Omega/11k\Omega$ )의 비반전 앰프이므로 입력 신호와 극성이 동일한  $3V_{P-P}$ 의 출력을 얻을 수 있다. 이 때, 출력 전류  $i_{out}$ 은  $100mA_{P-P}(3V_{P-P}/30\Omega)$ 로 된다.

그림 42는  $v_{out}$ 이 0V를 통과하는 부분을 확대한 파형이다.  $v_{out}$ 의 작은 요철은 푸시풀 이미터 폴로어의 상하 트랜지스터가 동시에 OFF되기 때문에 발생하는 크로스오버 왜곡이다. 이 회로는 작은 크로스오버 왜곡이 발생한다.

그림 43은  $A_v$ 의 주파수 특성을 나타낸 것이다. OP 앰프 단독 게인은 주파수가 높은 영역에서 저하되므로 회로 전체의 주파수 특성도 고역이 감쇠하는 로우 패스 필터와 같은 특성이 된다. 높은 주파수 영역의 특성은 사용하는 OP 앰프와 푸시풀 이미터 폴로어를 합성한 특성이 된다.

### 3. 개량 또는 어레인지된 회로의 예 ①

그림 44는 크로스오버 왜곡을 줄인 회로이다.  $Tr_1, Tr_2$ 는  $D_1, D_2$ 에서 ON되므로 필요한 베이스-이미터간 전압이 항상 공급되어 OFF되는 경우는 없다.

그림 45는 부하로  $30\Omega$ 의 저항을 접속하고  $0.3V_{P-P}/1kHz$ 의 정현파를 입력한 경우의 입출력 파형이다. 기본형 회로에서 발생했던 크로스오버 왜곡이 보이지 않게 됐다.

그림 46은  $A_v$ 의 주파수 특성을 나타낸 것이다. 트랜지스터가 OFF되지 않으므로 푸시풀 이미터 폴로어 자체가 광대역으

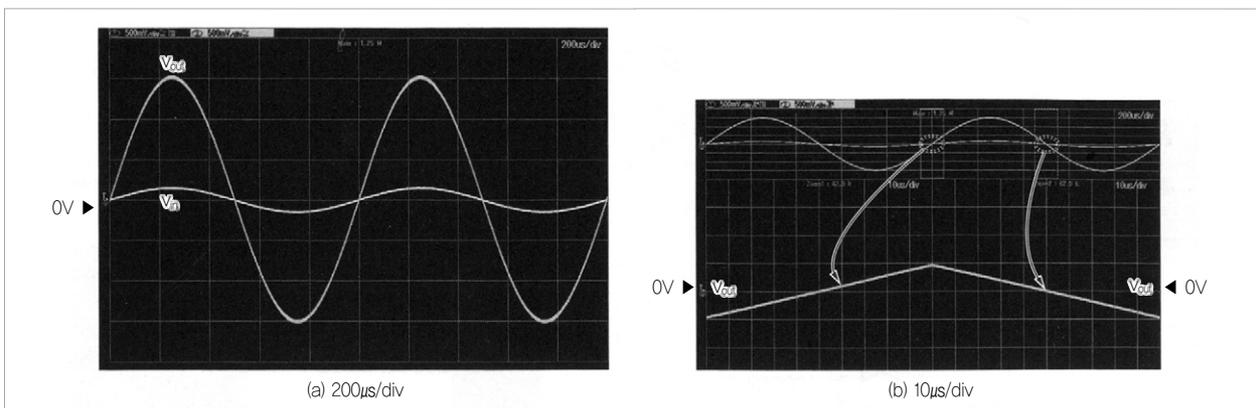


그림 45. 그림 44의 출력 전압은 왜곡되어 있지 않다 (0.5V/div)

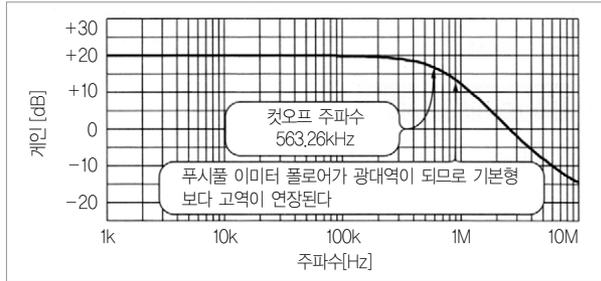


그림 46. 그림 44에 나타난 회로에서 전압 게인 A<sub>v</sub>의 주파수 특성

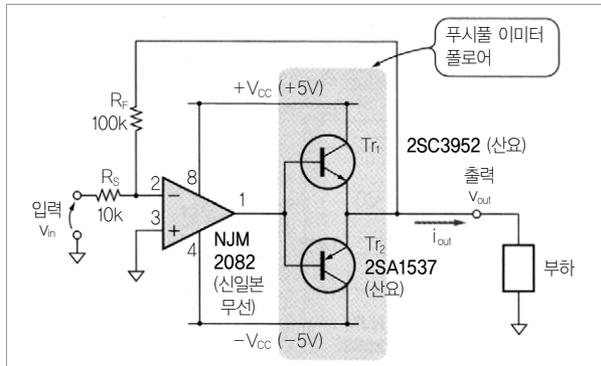


그림 47. 회로도

로 된다. 따라서 기본형 회로보다 고역이 확대된 주파수 특성으로 된다.

4. 참고문헌

- (5), (6), (7), (20)

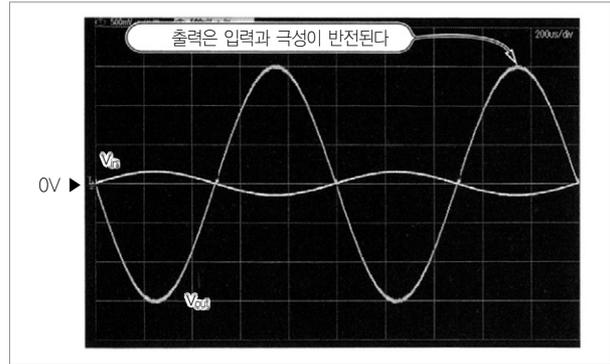


그림 48. 그림 47의 입출력 파형 (0.5V/div, 200μs/div. 부하 30Ω, 입력 0.3V<sub>r-p</sub>/1kHz의 정현파로 한 경우)

기본 회로 ⑬ : 반전형 파워 앰프

모터나 스피커 등 저임피던스 부하 구동에 널리 사용된다. 양전원용 반전 앰프보다 큰 출력 전류를 얻을 수 있다(그림 47, 그림 48 참조).

1. 게인을 구하는 식

$$\text{전압 게인 } A_v = -\frac{R_F}{R_S} [\text{배}]$$

식에 있는 마이너스 부호는 극성 반전을 의미한다

2. 참고문헌

- (5), (6), (7), (20)



제2장~제9장의 참고문헌

- 高木 誠利; 実験回路で学ぶトランジスタとOPアンプ, CQ出版社.
- トランジスタ技術SPECIAL for フレッシュヤーズ No.107 徹底図解 電子回路のコモンセンス マイコン周辺回路から回路測定とノイズ対策まで, CQ出版社.
- トランジスタ技術SPECIAL No.71 OPアンプから始めるアナログ技術, CQ出版社.
- トランジスタ技術SPECIAL No.88 ダイオード/トランジスタ/FET活用入門, CQ出版社.
- トランジスタ技術SPECIAL 増刊 OPアンプによる実用回路設計, CQ出版社.
- 岡村 勉男; 定本 OPアンプ回路の設計, CQ出版社.
- 川田 章弘; OPアンプ活用 成功のかぎ, CQ出版社.
- OPアンプ大全 第1巻 OPアンプの歴史と回路技術の基礎知識, CQ出版社.
- OPアンプ大全 第2巻 OPアンプによる信号処理の応用技術, CQ出版社.
- OPアンプ大全 第3巻 OPアンプによるフィルタ回路の設計, CQ出版社.
- OPアンプ大全 第4巻 OPアンプによる増幅回路の設計技法, CQ出版社.
- OPアンプ大全 第5巻 OPアンプの実装と周辺回路の実用技術, CQ出版社.
- 遠坂 俊昭; 計測のためのアナログ回路設計, CQ出版社.
- 遠坂 俊昭; 計測のためのフィルタ回路設計, CQ出版社.
- 三谷 政昭; アナログ・フィルタ 理論&設計入門, CQ出版社.
- 堀 敏夫; アナログ・フィルタの回路設計法, 総合電子出版社
- M.E.VAN VALKENBURG; アナログフィルタの設計, 産業報知センター.
- トランジスタ技術SPECIAL for フレッシュヤーズ No.103 徹底図解 トランジスタ活用 はじめの一步, CQ出版社.
- 黒田 徹; 実験で学ぶ トランジスタ・アンプの設計, CQ出版社.
- 鈴木 雅臣; 定本 トランジスタ回路の設計, CQ出版社.
- 鈴木 雅臣; 定本 統トランジスタ回路の設計, CQ出版社.
- 柴田 肇; トランジスタの料理法, CQ出版社.
- トランジスタ技術SPECIAL for フレッシュヤーズ No.104 徹底図解 OPアンプIC活用ノート, CQ出版社.
- 石井 聡; 合点! 電子回路超入門, CQ出版社.
- 稲葉 保; 定本 発振回路の設計と応用, CQ出版社.
- 稲葉 保; パワー MOS FET活用の基礎と実際, CQ出版社.
- トランジスタ技術SPECIAL No.98 パワー・エレクトロニクス回路の設計, CQ出版社.
- 本田 潤; D級/デジタル・アンプの設計と製作, CQ出版社.

변복조나 잡음 제거에 이용되고 있다

# 3

## 필터-진폭 및 위상에 주파수 특성을 부여하는 회로

鈴木 雅臣

### 기본 회로 ⑭ : 1차 로우 패스 필터 CR형

20dB/dec로 감쇠하며 구성이 간단한 저역 통과형. 저주파에서 고주파까지 사용되고 있다.

#### 1. 계산식

- 컷오프 주파수  $f_c = \frac{1}{2\pi CR}$  [Hz]
- 통과 대역의 감쇠도  $A_v = 1$ 배

#### 2. 기본형

그림 1은 전원을 필요로 하지 않는 간단한 로우 패스 필터 회로이다. 컷오프 주파수  $f_c$ 는 C와 R에 따라 결정되며, C 또는 R의 값이 클수록  $f_c$ 가 낮아진다. 통과 대역의 신호 감쇠는 없으므로 감쇠도  $A_v = 1$ 배(=0dB)이다.

##### (1) 주파수 특성

그림 2는 출력 진폭의 주파수 특성이다.  $f_c$ 는 1kHz(=1/(2π × 0.01μF × 16kΩ))이다.  $f_c$ 보다 높은 주파수를 20dB/dec의 기울기로 감쇠(주파수가 10배로 되면 진폭이 1/10로 된다)시키는

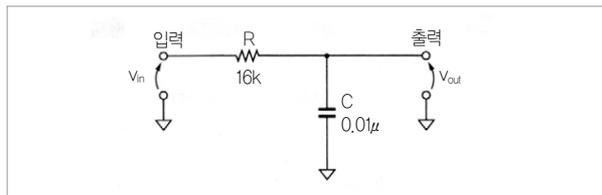


그림 1. 회로도

1차 로우 패스 필터 특성이다.

##### (2) 동작 파형

그림 3은 3V<sub>P-P</sub>의 정현파를 입력했을 경우 각 주파수에서의 입출력 파형을 나타낸 것이다. 통과 대역인 100Hz에서는 출력 진폭의 감쇠가 거의 없으며 입출력 위상차도 거의 없다. 컷오프 주파수인 1kHz에서는 출력이 입력의 약 0.7배(-3dB)로 떨어지고 위상이 45° 지연된다. 감쇠 대역인 10kHz에서는 출력이 약 0.1배(-20dB)로 떨어지고 위상이 약 90° 지연된다.

##### (3) 방형파 응답

그림 4는 1V<sub>P-P</sub>/300Hz의 방형파를 입력했을 때의 입출력 파형이다. 로우 패스 필터에 방형파를 입력하면 출력 상승/하강 부분이 둔화되어 완만해진다. 1차 로우 패스 필터는 출력 상승/하강 부분에 오버슈트나 진동이 발생하지 않는 것이 특징이다.

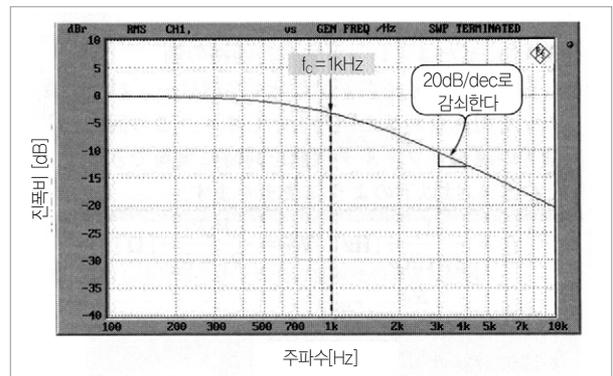


그림 2. 그림 1에서 입력과 출력 진폭비의 주파수 특성

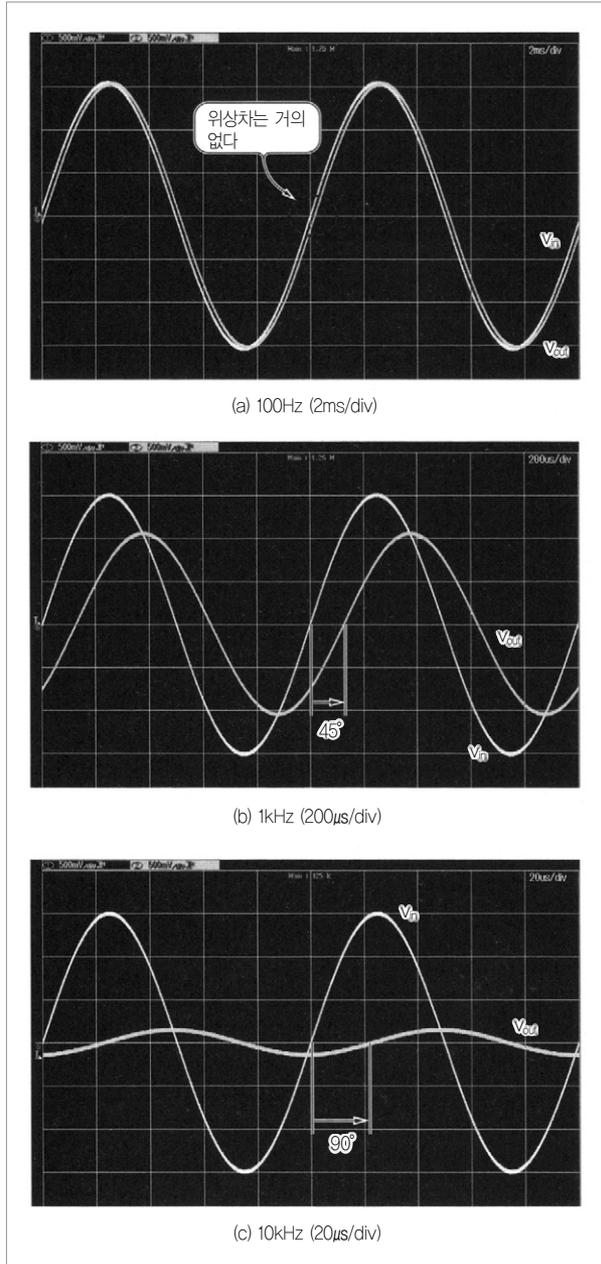


그림 3. 입력 신호의 주파수가 높아지면 진폭이 작아져 위상이 지연된다 (0.5V/div, 입력은 3V<sub>p-p</sub> 정현파)

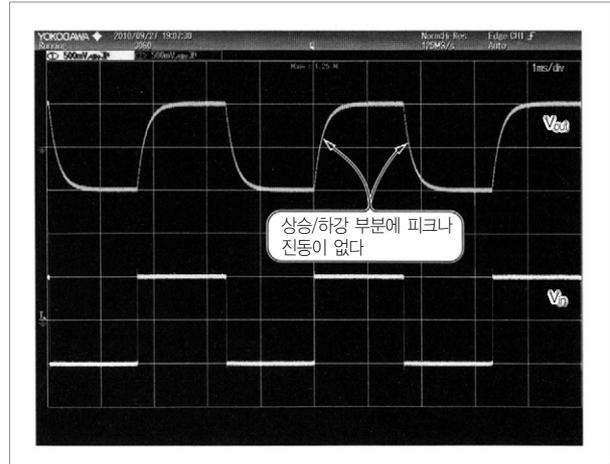


그림 4. 그림 1의 방형파 응답 (0.5V/div, 1ms/div, 입력은 1V<sub>p-p</sub>/300Hz의 방형파)

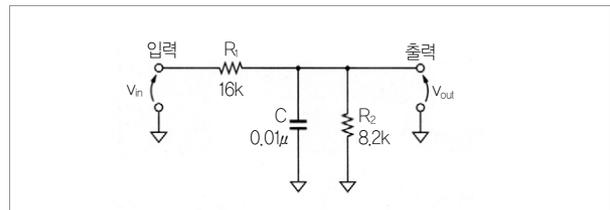


그림 5. 개량 또는 어레인지된 회로의 예 (신호 레벨 감쇠와 필터링이 가능한 회로)

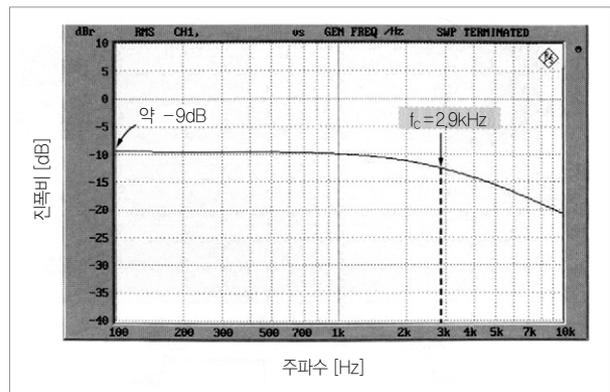


그림 6. 그림 5에서 입력과 출력 진폭비의 주파수 특성

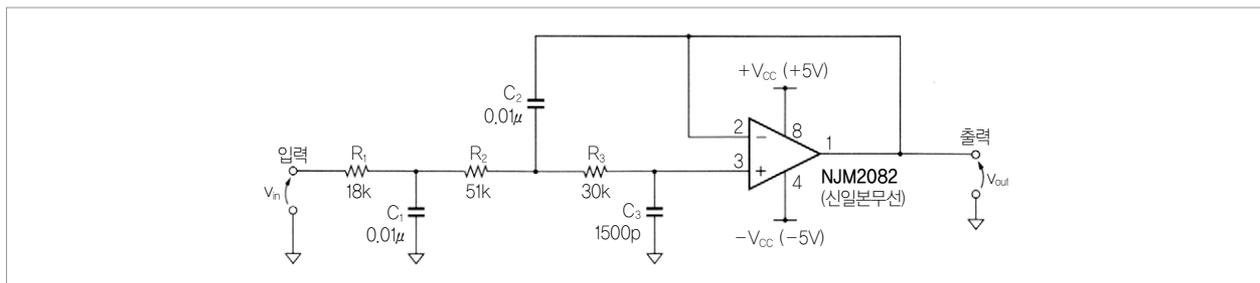


그림 7. 회로도 (이 회로의 상수는 버터워스 특성, 상세한 내용은 57쪽의 '필터의 형태와 주파수 특성' 부분 참조)

### 3. 개량 또는 어레인지된 회로의 예

그림 5는 저항 분압형 감쇠기와 CR형 로우 패스 필터를 세트로 한 회로이다. 이 회로는 입력 신호의 감쇠와 필터 기능을 동시에 실현할 수 있다.  $f_c$ 와  $A_v$ 는 다음과 같이 결정된다.

$$f_c = \frac{1}{2\pi CR_p} \text{ [Hz]}, R_p = \frac{R_1 R_2}{R_1 + R_2} \text{ [\Omega]}, A_v = \frac{R_2}{R_1 + R_2} \text{ [배]}$$

#### (1) 주파수 특성

그림 6은 출력 진폭의 주파수 특성이다.  $f_c$ 는 2.9kHz( $\approx 1/(2\pi \times 0.01\mu F \times 5.42k\Omega)$ ),  $A_v = -9\text{dB}$ ( $\approx 20\log_{10}(8.2k\Omega/(16k\Omega + 8.2k\Omega))$ )로 되어 통과 대역에서 입력 신호를 감쇠시킬 수 있다.

### 4. 참고문헌

(10), (14), (15), (16), (17) - 본지 38쪽 참조

### 기본 회로 ⑮ : 3차 로우 패스 필터 VCVS(sallen-key)형

OP 앰프 1개로 만드는 감쇠율 60dB의 저역 통과형. 증폭과 필터링을 한번에 할 수 있다. 대역은 수백 kHz 이하이다(그림 7 참조).

#### 1. 계산식

$$\cdot \text{컷오프 주파수 } f_c = \frac{1}{2\pi^3 \sqrt{C_1 C_2 C_3 R_1 R_2 R_3}} \text{ [Hz]}$$

· 통과 대역의 전압 게인  $A_v = 1$ 배

#### 2. 참고문헌

(5), (15), (16), (17), (23)

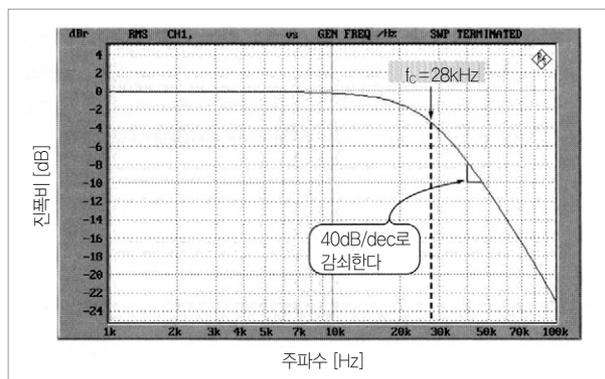


그림 9. 그림 8에서 입력과 출력 진폭비의 주파수 특성

### 기본 회로 ⑯ : 2차 로우 패스 필터 LC형

40dB/dec로 감쇠하는 구성이 간단한 저역 통과형. 전원 잡음 제거나 D급 앰프의 출력 필터, 고주파 회로에 사용되고 있다.

#### 1. 계산식

$$\cdot \text{컷오프 주파수 } f_c = \frac{1}{2\pi\sqrt{LC}} \text{ [Hz]}$$

· 통과 대역의 전압 게인  $A_v = 1$ 배

#### 2. 기본형

그림 8은 회로 형태 때문에 역L형 LC 필터라고 불리는 2차 로우 패스 필터이다. 컷오프 주파수  $f_c$ 는 C와 L에 의해 결정된다. 통과 대역의 전압 게인  $A_v$ 는 1배(=0dB)가 된다. 필터 특성을 정확하게 설정해야 하는 용도에서는 가변 인덕터나 가변 콘덴서를 사용하여 조정하는 경우가 있다. 여기서 나타낸 회로는 임피던스가 6Ω인 스피커를 구동하는 D급 앰프의 출력 필터 예이다.

#### (1) 주파수 특성

그림 9는 출력 진폭의 주파수 특성이다(부하 저항  $R_L = 6\Omega$ ).

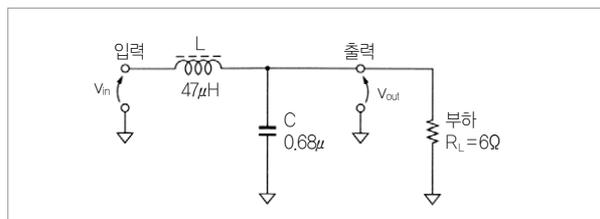


그림 8. 회로도 (이 회로의 상수는 버터워스 특성. 상세한 내용은 '필터의 형태와 주파수 특성' 부분 참조)

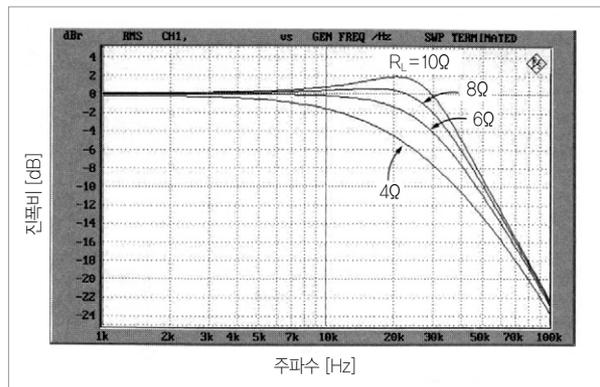


그림 10. 그림 8의 회로는 부하저항의 크기에 따라 주파수 특성이 달라진다

$f_c$ 는  $28\text{kHz}[\approx 1/(2\pi \times \sqrt{47\mu\text{H} \times 0.68\mu\text{F}})]$ 이다.  $f_c$ 보다 높은 주파수를 40dB/dec의 기울기로 감쇠(주파수가 10배로 되면 진폭이 1/10로 된다)시키는 2차 로우 패스 필터 특성이 된다.

그림 10은 부하저항  $R_L$ 을 변화시켰을 경우의 주파수 특성 변화를 나타낸 것이다. LC형 필터는 부하 임피던스의 값에 따라 특성이 변화된다(필터를 구동하는 신호원 임피던스에 따라서도 특성이 변화한다).

(2) 동작 파형

그림 11은 3V<sub>P-P</sub>의 정현파를 입력했을 경우의 각 주파수 입력 출력 파형이다. 그림 11(c)의  $v_{out}$ 은 다른 것과 세로축이 다르는데 주의해야 한다.

통과 대역인 3kHz에서는 출력 진폭의 감쇠가 거의 없으며

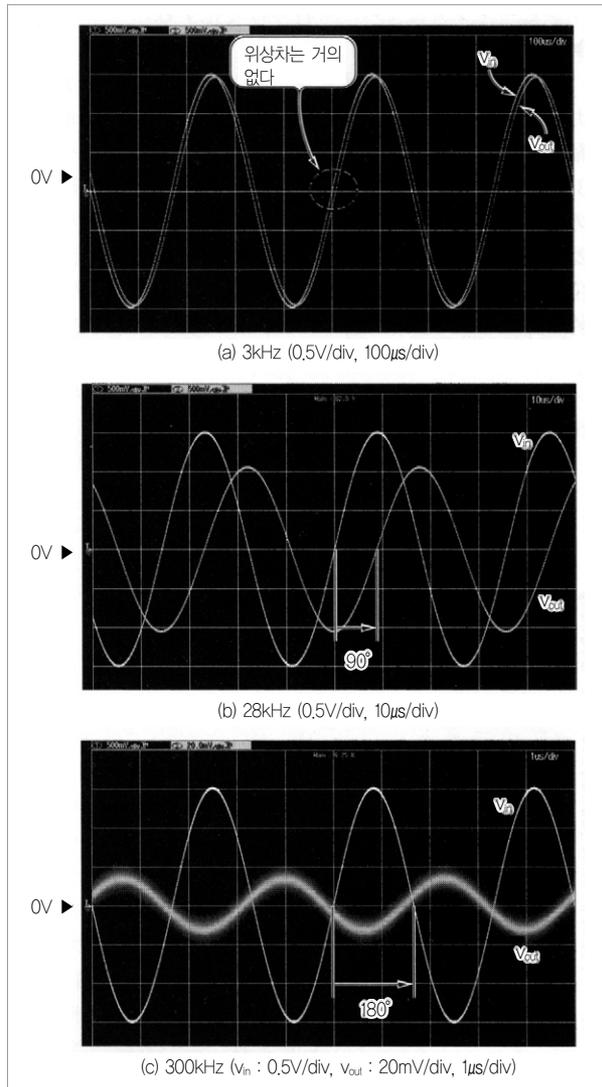


그림 11. 그림 8에서 진폭과 위상의 주파수 특성 (입력은 3V<sub>P-P</sub> 정현파)

입출력 위상차도 거의 없다. 컷오프 주파수인 28kHz에서는 출력이 입력의 약 0.7배(-3dB)로 떨어지고 위상은 90° 지연된다. 감쇠 대역인 300kHz에서는 출력이 약 0.01배(-40dB)로 떨어지고 위상은 약 180° 지연된다.

(3) 방형파 응답

그림 12는 1V<sub>P-P</sub>/10kHz의 방형파를 입력했을 경우의 입출력 파형이다. 출력 파형의 상승/하강 부분에 작은 오버슈트가 발생했다. 차단 특성이 급격한 로우 패스 필터에 방형파를 입력하면 이와 같이 출력 파형의 상승/하강 부분에 오버슈트나 진동이 발생한다.

3. 참고문헌

- (5), (10), (14), (15), (16), (17), (27), (28)

기본 회로 ⑰ : 1차 로우 패스 필터 반전 앰프형

20dB/dec로 감쇠되는 저역 통과형. 전원 게인을 자유롭게 설정할 수 있으며, 통과 대역에서 입출력 위상이 반전된다

1. 계산식

· 컷오프 주파수  $f_c = \frac{1}{2\pi CR}$  [Hz]

· 통과 대역의 전압 게인  $A_v = -\frac{R}{R_s}$  [배]

식에 있는 마이너스 부호는 극성의 반전을 의미한다

2. 기본형

그림 13은 OP 앰프에 의한 반전 앰프에 1차 로우 패스 필터 기능을 내장한 회로이다. 컷오프 주파수  $f_c$ 는 C와 R에 따라 결정

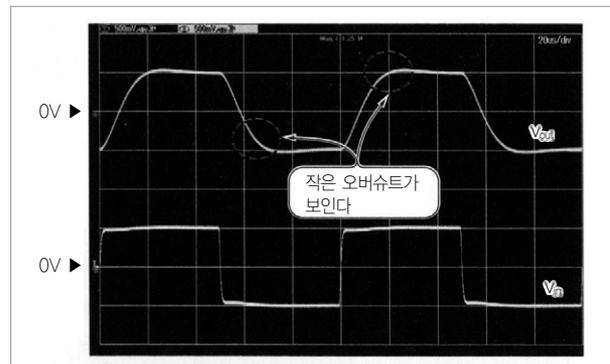


그림 12. 그림 8의 방형파 응답 (0.5V/div, 20μs/div. 입력은 1V<sub>P-P</sub>/10kHz의 방형파)

정되며, C 또는 R의 값이 클수록  $f_c$ 가 낮아진다. 통과 대역의 전압 게인  $A_v$ 는  $R_S$ 와 R에 따라 결정된다.  $R_S > R$ 이라고 하면  $A_v$ 를 1배 미만(감쇠)으로 설정할 수 있다.

(1) 주파수 특성

그림 14는 출력 진폭의 주파수 특성을 나타낸 것이다.  $f_c$ 는

$1\text{kHz}(=1/(2\pi \times 0.01\mu\text{F} \times 16\text{k}\Omega))$ 이다.  $f_c$ 보다 높은 주파수를 20dB/dec의 기울기로 감쇠(주파수가 10배로 되면 진폭이 1/10로 된다)시키는 1차 로우 패스 필터 특성이 된다.  $A_v$ 는 0dB( $=20\log_{10}(16\text{k}\Omega/16\text{k}\Omega)$ )이 된다.

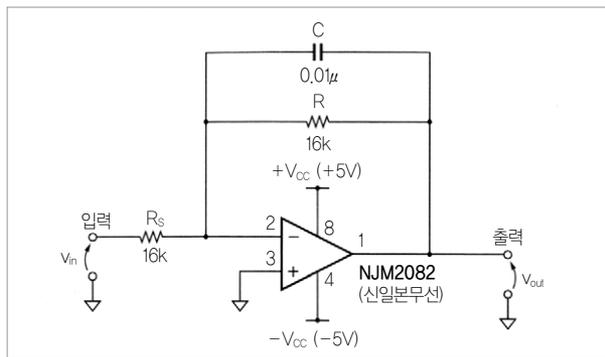


그림 13. 회로도

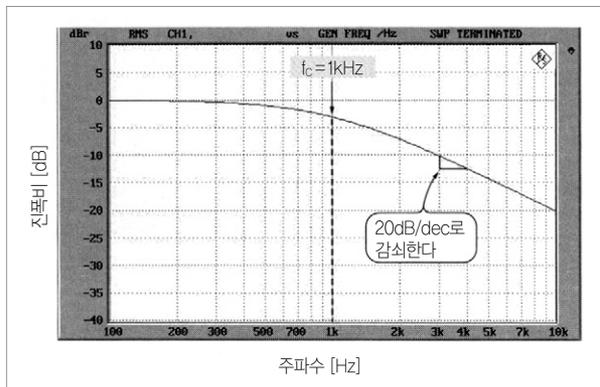


그림 14. 그림 13에서 입력과 출력 진폭비의 주파수 특성

## 단전원으로는 사용할 수 없는 OP 앰프

마이크 주변에 아날로그 회로는 대부분의 경우 +3V나 +5V와 같은 플러스의 단일 전원으로 동작시킨다. 또한, GND를 기준으로 하여 플러스 측으로 전압을 출력하는 센서 등의 신호원을 잘 다룬다. 이러한 용도에는 단전원 OP 앰프나 레일 투 레일 입출력 특성을 가진 OP 앰프가 사용된다.

명확한 정의는 없지만, 입출력 전압 범위가 마이너스 전원의 전위를 포함한 것을 일반적으로 단전원 OP 앰프라고 한다. 단일 전원으로 동작시킬 경우, OP 앰프의 마이너스 전원 단자를 GND에 접속하므로 단전원 OP 앰프를 사용하면 0V의 입력 신호로 동작시킬 수 있다.

그림 A의 단전원 비반전 앰프 회로(전압 게인은 2배)에 0V에서 플

러스 측으로 변화하는 삼각파를 입력했을 경우의 동작 파형이 그림 B이다. 그림 B(a)의 일반적인 OP 앰프는 입력 신호가 0V에 가까운 부분에서 OP 앰프의 허용 범위를 넘었기 때문에 출력이 이상해졌다(극성이 반전됐다). 그림 B(b)의 단전원 OP 앰프는 0V부터 변화하는 이상적인 출력이 얻어졌다.

‘레일’이란 전원 라인을 말한다. ‘레일 투 레일의 입출력 특성’은 마이너스 전원에서 플러스 전원 사이에 있는 신호를 입출력할 수 있다는 것을 의미한다.

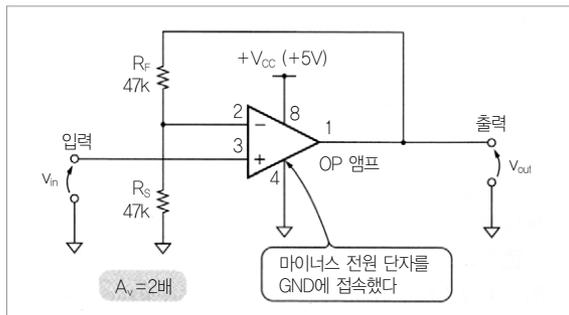


그림 A. 단전원 비반전 앰프 회로

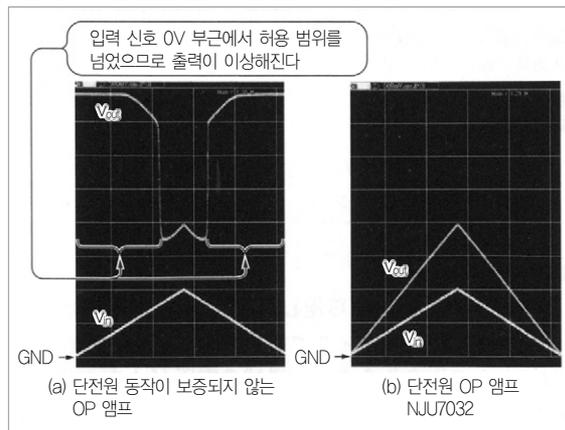


그림 B. 단전원 비반전 앰프의 입출력 파형 (0.5V/div, 200µs/div)

(2) 동작 파형

그림 15는  $3V_{P-P}$ 의 정현파를 입력했을 때의 각 주파수 입출력 파형이다. 통과 대역인 100Hz에서는 출력 진폭 감쇠가 거의 없다. 출력 위상은 입력에 대해 약  $180^\circ$  지연된다. 컷오프 주파수인 1kHz에서는 출력이 입력의 약 0.7배( $-3dB$ )로 떨어지고 위상은  $225^\circ$  지연된다. 감쇠 대역인 10kHz에서는 출력이 약 0.1배( $-20dB$ )로 떨어지고 위상은 약  $270^\circ$  지연된다.

(3) 방형파 응답

그림 16은  $1V_{P-P}/300Hz$ 의 방형파를 입력했을 경우의 입출력 파형이다. 출력 파형은 입력 파형에 대해 플러스/마이너스

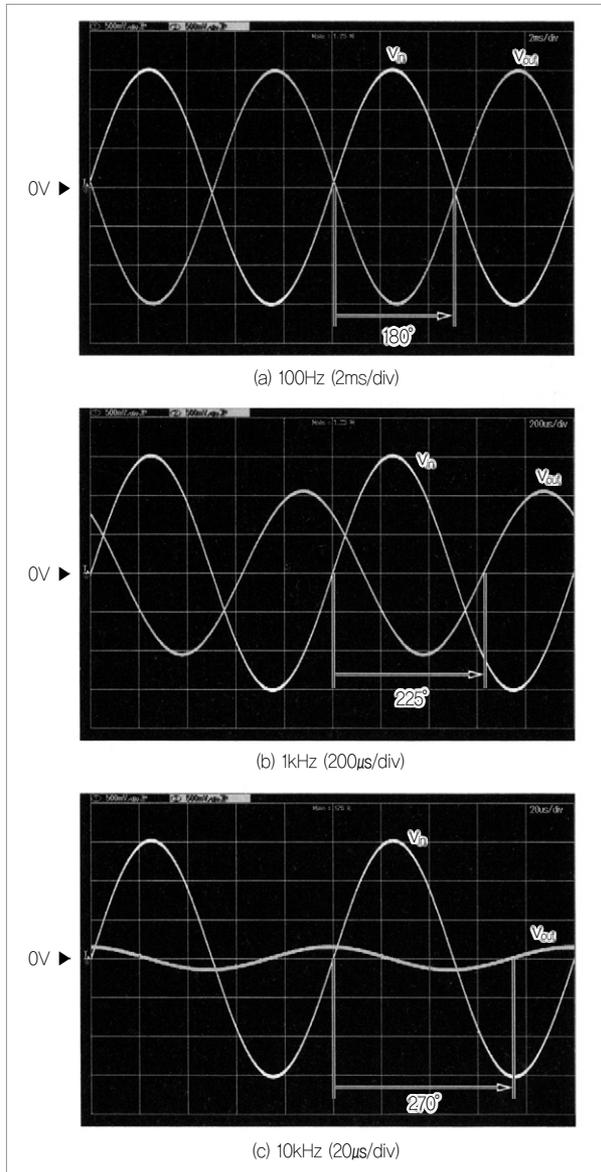


그림 15. 그림 13에서 진폭과 위상의 주파수 특성 (0.5V/div, 입력은  $3V_{P-P}$ 의 정현파)

극성이 반전된다. 로우 패스 필터에 방형파를 입력하면 출력의 상승/하강 부분이 둔해져 완만해진다. 1차 로우 패스 필터는 출력의 상승/하강 부분에 오버슈트나 진동이 발생하지 않는다는 것이 특징이다.

3. 개량 또는 어레인지된 회로의 예

그림 17은 단전원으로 동작시킨 회로이다. OP 앰프의 비반

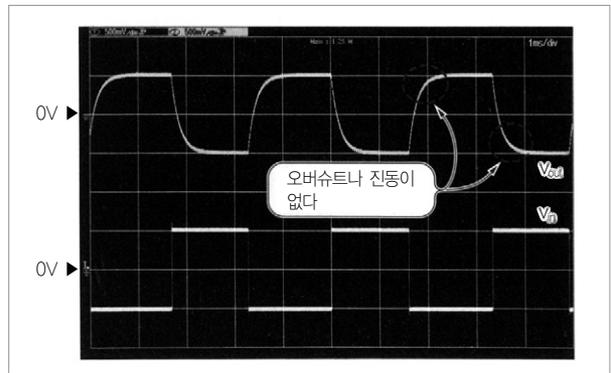


그림 16. 그림 13의 방형파 응답 (0.5V/div, 1ms/div,  $1V_{P-P}/300Hz$ 의 방형파)

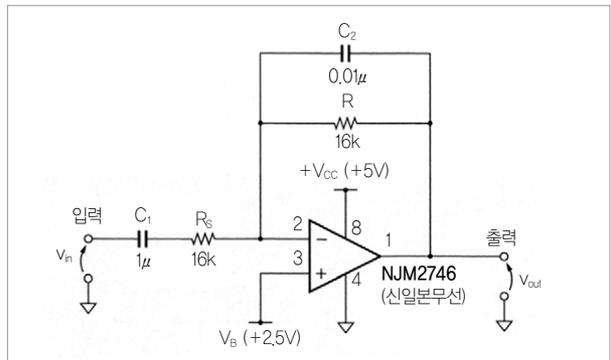


그림 17. 개량 또는 어레인지된 회로의 예 (단전원에서 사용할 수 있는 회로로 개량한 예)

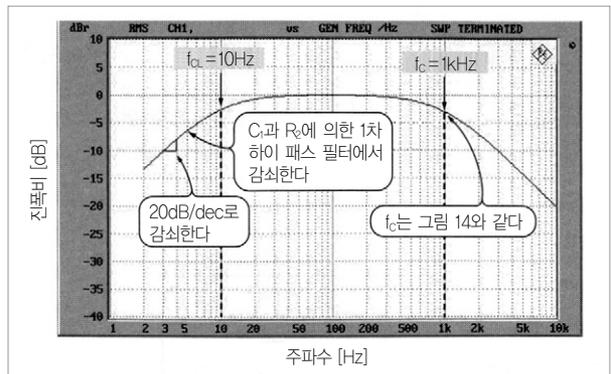


그림 18. 그림 17의 입력과 출력 진폭비의 주파수 특성

전 입력 단자(그림 17에서는 3번 핀)에 +5V 전원의 중점 전압인  $V_B = +2.5V$ 를 가하고  $C_1$ 에서 입력 신호의 직류 성분을 차단하고 있다. 기타 회로 상수는 기본형 회로와 똑같다.

**(1) 주파수 특성**

그림 18은 출력 진폭의 주파수 특성이다.  $f_c = 1kHz$ 의 1차로우 패스 필터 특성은 변함 없지만, 저역 측은 1차 하이패스 필터의 특성(저역을 향해 20dB/dec의 기울기로 감쇠)이 된다. 하이 패스 필터의 컷오프 주파수  $f_{CL}$ 은 다음과 같이 결정된다.

$$f_{CL} = \frac{1}{2\pi C_1 R_S} \text{ [Hz]}$$

그림 17의 회로는  $f_{CL} = 10Hz (\approx 1/(2\pi \times 1\mu F \times 20k\Omega))$ 로 된다.

**(2) 동작 파형**

그림 19는 1V<sub>P-P</sub>/1kHz의 정현파를 입력했을 경우의 입출력 파형이다. 신호 주파수에 의한  $v_{out}$ 의 진폭과 위상 변화는 기본형 회로와 똑같지만,  $v_{out}$ 에는 직류 성분으로  $V_B$ 가 중첩된다.

**4. 참고문헌**

- (1), (5), (6), (10), (14), (15), (16), (17), (23)

**기본 회로 ⑱ : 2차 로우 패스 필터 VCVS(sallen-key)형**

감쇠율 40dB/dec의 저역 통과형. OP 앰프를 사용하므로 증폭과 필터링을 한번에 실행할 수 있다. 대역은 수백 kHz 이하이다.

**1. 계산식**

· 컷오프 주파수  $f_c = \frac{1}{2\pi \sqrt{C_1 C_2 R_1 R_2}} \text{ [Hz]}$

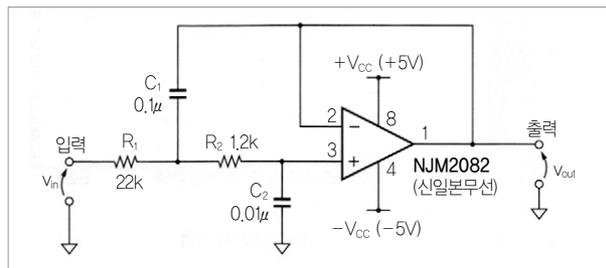


그림 20. 회로도 (이 회로의 상수는 버터워스 특성. 상세한 내용은 '필터의 형태와 주파수 특성' 부분 참조)

· 통과 대역의 전압 게인  $A_v = 1$ 배

**2. 기본형**

그림 20은 VCVS(Voltage Controlled Voltage Source : 전압 제어 전압원)형이나 살렌키(Sallen-Key : 인명)형, 정귀환형 등이라고 불리는 2차 로우 패스 필터이다. 컷오프 주파수  $f_c$ 는  $C_1, C_2, R_1, R_2$ 에 따라 결정된다.  $f_c$ 를 정확하게 설정해야 하는 용도에서는  $C_1, C_2, R_1, R_2$ 에 허용차가 작은 고정밀 소자(예를 들면,  $\pm 1\%$ )를 사용하는 경우가 있다. 통과 대역의 전압 게인  $A_v$ 는 1배(=0dB)로 된다.

**(1) 주파수 특성**

그림 21은 출력 진폭의 주파수 특성을 나타낸 것이다.  $f_c$ 는 1kHz( $\approx 1/(2\pi \times \sqrt{0.1\mu F \times 0.01\mu F \times 22k\Omega \times 1.2k\Omega})$ )이다.  $f_c$ 보다 높은 주파수를 40dB/dec의 기울기로 감쇠(주파수가 10배로 되면 진폭이 1/10로 된다)시키는 2차 로우 패스 필터 특성이 된다.

**(2) 동작 파형**

그림 22는 3V<sub>P-P</sub>의 정현파를 입력했을 경우의 각 주파수 입

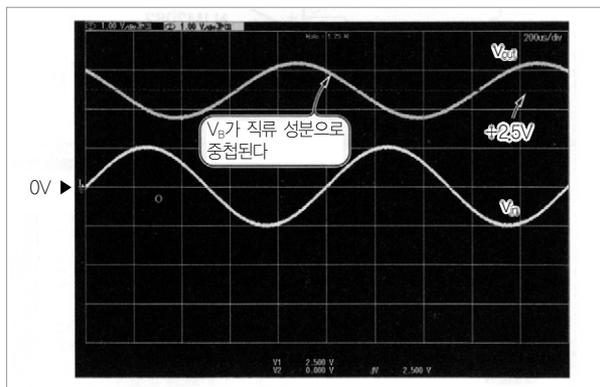


그림 19. 그림 17에 나타난 회로의 입출력 파형 (1V/div, 200μs/div. 입력은 1V<sub>P-P</sub>/1kHz의 정현파)

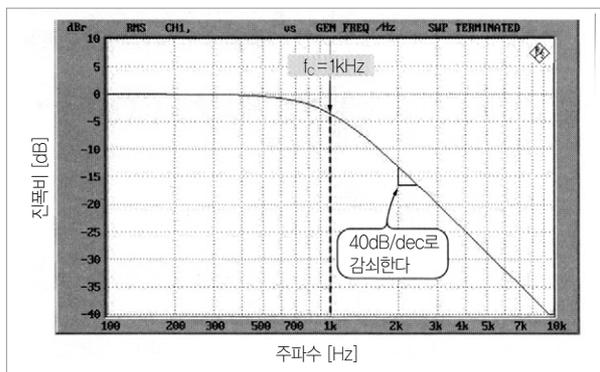


그림 21. 그림 20에서 입력과 출력 진폭의 주파수 특성

출력 파형이다. 그림 22(c)의  $v_{out}$ 은 다른 것과 세로축이 다르다. 통과 대역인 100Hz에서는 출력 진폭의 감쇠가 거의 없으며 입출력 위상차도 거의 없다. 컷오프 주파수인 1kHz에서는 출력이 입력의 약 0.7배(-3dB)로 떨어지고 위상은 90° 지연된다. 감쇠 대역인 10kHz에서는 출력이 약 0.01배(-40dB)로 떨어지고 위상은 약 180° 지연된다.

(3) 방형파 응답

그림 23은 1V<sub>p-p</sub>/300Hz의 방형파를 입력했을 경우의 입출력 파형이다. 출력 파형의 상승/하강 부분에 작은 오버슈트가 발생했다. 차단 특성이 급격한 로우 패스 필터에 방형파를 입력하면 이와 같이 출력 파형의 상승/하강 부분에 오버슈트나 진동이 발생한다.

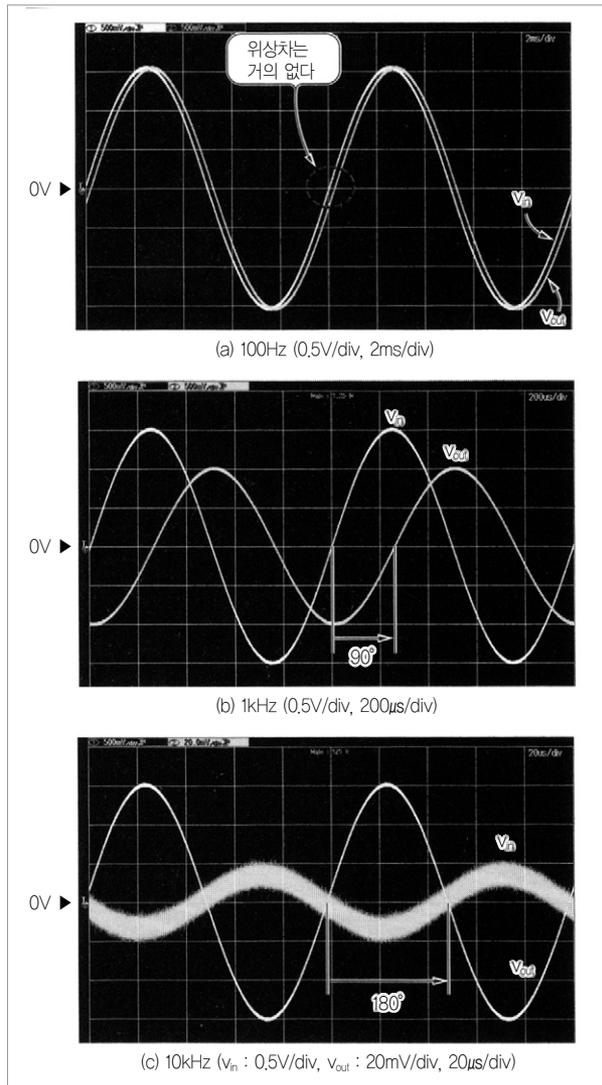


그림 22. 그림 20의 진폭과 위상의 주파수 특성 (입력은 3V<sub>p-p</sub>의 정현파)

3. 개량 또는 어레인지된 회로의 예

그림 24는 전압 게인을 부여한 회로이다. 이 회로는 필터와 앰프의 기능을 하나의 회로로 실현할 수 있다.

$f_c$ 를 결정하는 방법은 기본형 회로와 똑같다.  $A_v$ 는 다음과 같이 결정된다.

$$A_v = 1 + \frac{R_F}{R_S} \text{ [배]}$$

(1) 주파수 특성

그림 25는 출력 진폭의 주파수 특성을 나타낸 것이다.

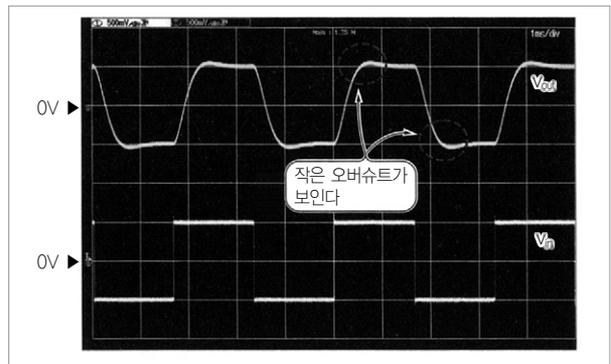


그림 23. 그림 20의 방형파 응답 (0.5V/div, 1ms/div. 입력은 1V<sub>p-p</sub>/300Hz의 방형파)

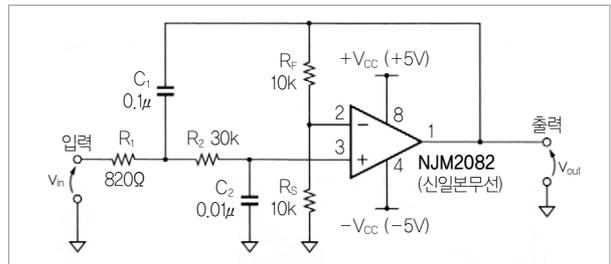


그림 24. 개량 또는 어레인지된 회로의 예 (1배 이상의 게인을 부여한 예)

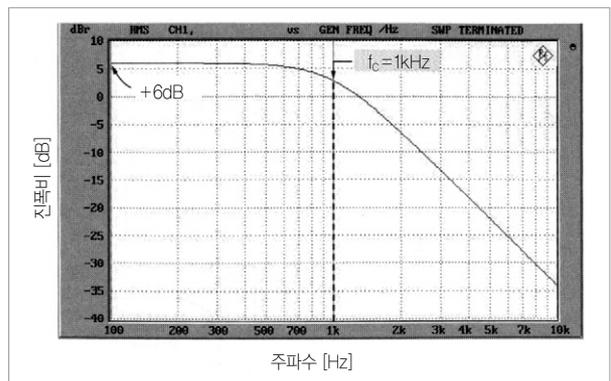


그림 25. 그림 24에서 입력과 출력 진폭비의 주파수 특성

$A_v = +6\text{dB} (\approx 20\log_{10}(1 + 10\text{k}\Omega/10\text{k}\Omega))$ ,  $f_c = 1\text{kHz} (\approx 1/(2\pi \times \sqrt{0.1\mu\text{F} \times 0.01\mu\text{F} \times 8200 \times 30\text{k}\Omega}))$ 로 되며, 전압 게인을 부여하면서 2차 로우 패스 필터 특성을 실현했다.

#### 4. 참고문헌

(1), (5), (6), (10), (14), (15), (16), (17), (23)

### 기본 회로 ⑱ : 2차 로우 패스 필터 다중 귀환형

감쇠율 40dB/dec의 저역 통과형. 통과 대역의 위상이 180° 지연된다.

OP 앰프를 사용하므로 증폭과 필터링을 한번에 실행할 수 있다. 대역은 수백 kHz 이하이다.

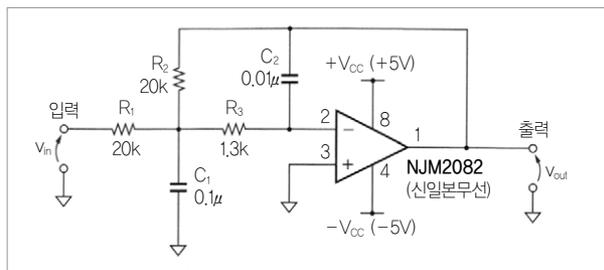


그림 26. 회로도 (이 회로의 상수는 버터워스 특성. 상세한 내용은 '필터의 형태와 주파수 특성' 부분 참조)

#### 1. 계산식

$$\cdot \text{컷오프 주파수 } f_c = \frac{1}{2\pi\sqrt{C_1 C_2 R_2 R_3}} \text{ [Hz]}$$

$$\cdot \text{통과 대역의 전압 게인 } A_v = -\frac{R_2}{R_1} \text{ [배]}$$

식에 있는 마이너스 부호는 극성의 반전을 의미한다

#### 2. 기본형

그림 26은 무한대 이득 증폭기형이나 무한 귀환형, 다중 귀환(Multiple Feedback)형 등으로 불리는 2차 로우 패스 필터

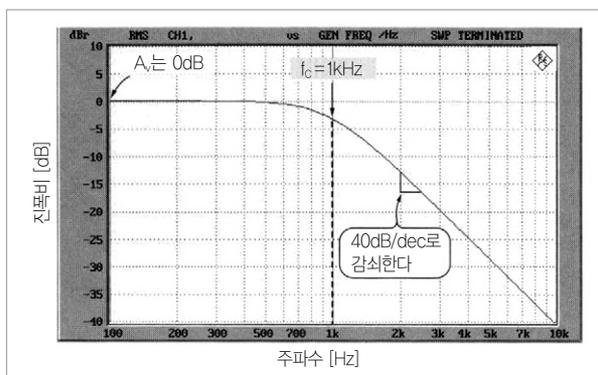


그림 27. 그림 26에서 입력과 출력 진폭비의 주파수 특성

## 저항이나 콘덴서의 회로도 기호에 첨부된 허용차를 나타내는 알파벳

소자 공칭값에서의 저항 및 콘덴서 허용차가 회로도에 표시되어 있는 경우가 있다. 일반적으로는 0%로 표시하지만 회로도나 소자 본체에 ±XX%라고 표기하는 것은 어려우므로 알파벳 한 문자에 의한 표기가 JIS C5062로 규격화되어 있다.

표 A는 허용차 기호와 컬러 코드를 나타낸 것이다. 10pF 미만의 콘덴서는 허용차를 %로 규정하는 것이 어려우므로 표 B와 같이 정전용량값으로 표시한다. JIS 규격은 참조할 수 있다(<http://www.jisc.go.jp/app/JPS/JPS00020.html>). ※ JPSO의 O는 알파벳).

표 A. 전자부품의 허용차 기호와 컬러 코드 (JIS C5062 2008에서)

문자 기호	허용차 [%]	컬러 코드
E	±0.005	-
L	±0.01	-
P	±0.02	-
W	±0.05	황적
B	±0.1	보라
C	±0.25	청
D	±0.5	녹
F	±1	갈색
G	±2	적

※ 문자 기호가 규정되어 있지 않은 허용차는 A를 사용한다

문자 기호	허용차 [%]	컬러 코드
H	±3	-
J	±5	금색
K	±10	은색
M	±20	색을 넣지 않는다
N	±30	-
Q	-10, +30	-
T	-10, +50	-
S	-20, +50	-
Z	-20, +80	-

표 B. 정전용량이 10pF 미만인 허용차 기호

문자 기호	허용차 [pF]
B	±0.1
C	±0.25
D	±0.5
F	±1
G	±2

이다. 컷오프 주파수  $f_c$ 는  $C_1, C_2, R_2, R_3$ 에 의해 결정된다.  $f_c$ 를 정확하게 설정해야 하는 용도에서는  $C_1, C_2, R_2, R_3$ 에 허용차가 작은 고정밀 소자(예를 들면,  $\pm 1\%$ )를 사용하는 경우가 있다.

통과 대역의 전압 게인  $A_v$ 는  $R_1$ 과  $R_2$ 에 의해 결정된다.  $R_1 > R_2$ 라고 하면  $A_v$ 를 1배 미만(감쇠)으로 설정할 수 있다.

(1) 주파수 특성

그림 27은 출력 진폭의 주파수 특성이다.  $f_c$ 는  $1\text{kHz} (= 1/(2\pi \times \sqrt{0.1\mu\text{F} \times 0.01\mu\text{F} \times 20\text{k}\Omega \times 1.3\text{k}\Omega}))$ 이다.  $f_c$ 보다 높은 주파수를 40dB/dec의 기울기로 감쇠(주파수가 10배로 되면 진폭이

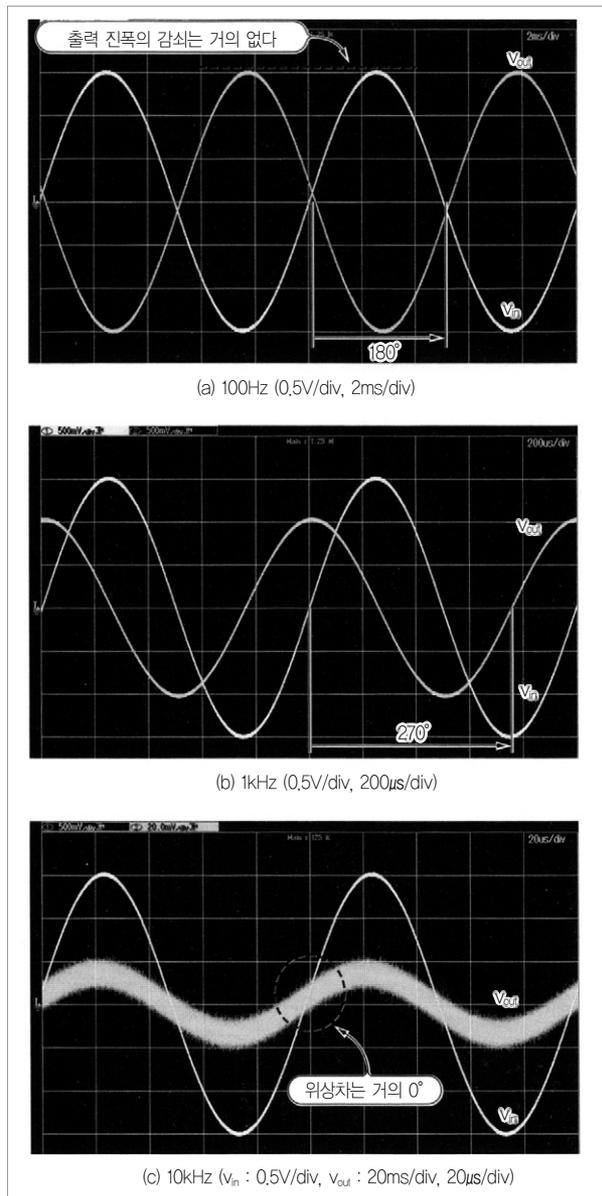


그림 28. 그림 26에서 진폭과 위상의 주파수 특성 (입력은 3V<sub>P-P</sub>의 정현파)

1/10로 된다)시키는 2차 로우 패스 필터 특성이 된다.  $A_v$ 는  $0\text{dB} (= 20\log_{10}(20\text{k}\Omega/20\text{k}\Omega))$ 로 된다.

(2) 동작 파형

그림 28은 3V<sub>P-P</sub>의 정현파를 입력했을 경우의 각 주파수 인출력 파형이다. 그림 28(c)의  $v_{out}$ 은 다른 것과 세로축이 다르다. 주의해야 한다. 통과 대역인 100Hz에서는 출력 진폭의 감쇠가 거의 없다. 출력 위상은 입력에 대해 약 180° 지연된다. 컷오프 주파수인 1kHz에서는 출력이 입력의 약 0.7배 (-3dB)로 떨어지고 위상은 270° 지연된다. 감쇠 대역인 10kHz에서는 출력이 약 0.01배(-40dB)로 떨어지고 위상차는 거의 0°로 된다(출력은 입력에 대해 360° 지연된다고 생각할 수 있다).

(3) 방형파 응답

그림 29는 1V<sub>P-P</sub>/300Hz의 방형파를 입력했을 경우의 입출력 파형이다. 출력 파형은 입력 파형에 대해 플러스/마이너스 극성이 반전된다. 또한, 출력 파형의 상승/하강 부분에는 작은

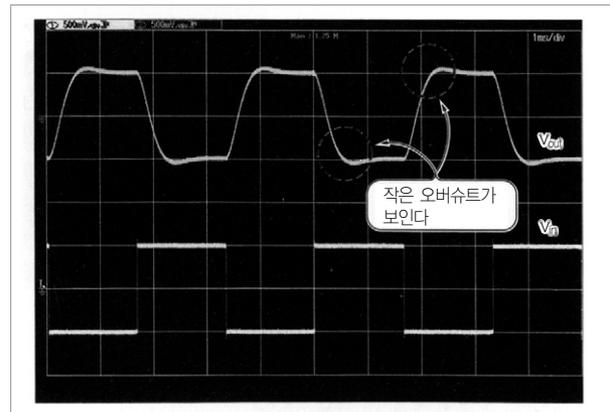


그림 29. 방형파 응답 (0.5V/div, 1ms/div, 입력은 1V<sub>P-P</sub>의 방형파)

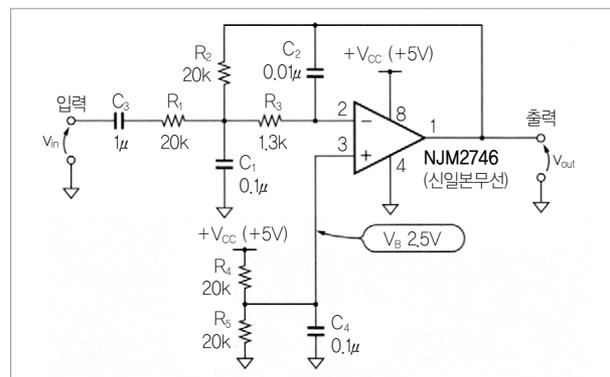


그림 30. 개량 또는 어레인지된 회로의 예 (단전원에서도 사용할 수 있는 회로로 개량한 예)

오버슈트가 발생했다. 차단 특성이 급격한 로우 패스 필터에 방형파를 입력하면 이렇게 출력 파형의 상승/하강 부분에 오버슈트나 진동이 발생한다.

### 3. 개량 또는 어레인지된 회로의 예

그림 30은 단전원으로 동작시킨 회로이다. OP 앰프의 비반전 입력 단자(그림 30에서는 3번 핀)에 +5V 전원의 중점 전압인  $V_B = +2.5V$ 를 가하고  $C_3$ 에서 입력 신호의 직류 성분을 차단했다. 기타 회로 상수는 기본형 회로와 똑같다.

#### (1) 주파수 특성

그림 31은 출력 진폭의 주파수 특성을 나타낸 것이다.  $f_c = 1kHz$ 인 2차 로우 패스 필터의 특성은 변함 없지만, 저역 측은 1차 하이 패스 필터의 특성(저역을 향해 20dB/dec의 기울기로 감쇠)이 된다. 하이 패스 필터의 컷오프 주파수  $f_{CL}$ 은 다음 식으로 정해진다.

$$f_{CL} = \frac{1}{2\pi C_3 R_1} \text{ [Hz]}$$

그림 30의 회로는  $f_{CL} = 8Hz (= 1/(2\pi \times 1\mu F \times 20k\Omega))$ 로 된다.

#### (2) 동작 파형

그림 32는  $1V_{P-P}/1kHz$ 의 정현파를 입력했을 경우의 입출력 파형이다. 신호 주파수에 의한  $v_{out}$ 의 진폭과 위상 변화는 기본형 회로와 똑같지만,  $v_{out}$ 에는 직류 성분으로  $V_B$ 가 중첩된다.

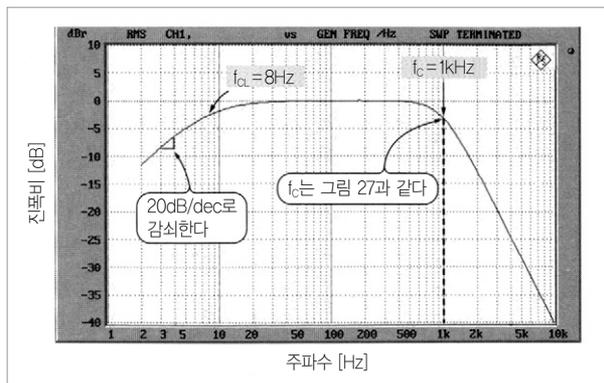


그림 31. 그림 30에서 입력과 출력 진폭비의 주파수 특성

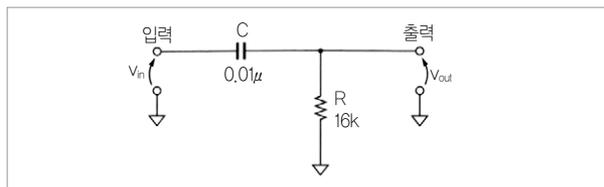


그림 33. 회로도

### 4. 참고문헌

- (1), (5), (6), (10), (14), (15), (16), (17), (23)

### 기본 회로 ⑩ : 1차 하이 패스 필터 CR형

구성이 간단한 감쇠율 20dB/dec의 고역 통과형. 저주파에서 고주파까지 사용되고 있다.

#### 1. 계산식

· 컷오프 주파수  $f_c = \frac{1}{2\pi CR}$  [Hz]

· 통과 대역의 감쇠도  $A_v = 1$ 배

#### 2. 기본형

그림 33은 전원을 필요로 하지 않는 간단한 하이 패스 필터 회로이다. 컷오프 주파수  $f_c$ 는 C와 R에 따라 결정되며, C 또는 R의 값이 클수록  $f_c$ 가 낮아진다. 통과 대역의 신호 감쇠는 없으므로 감쇠도  $A_v = 1$ 배(=0dB)이다.

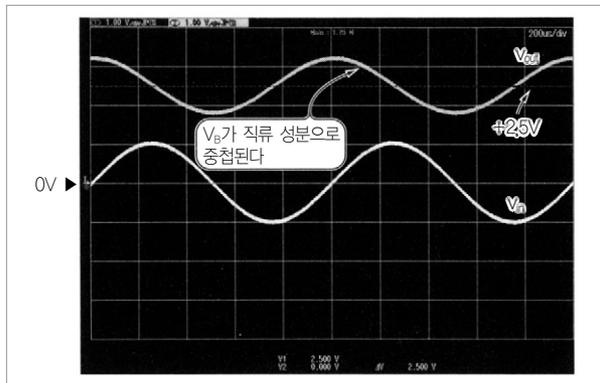


그림 32. 그림 30에서 회로의 입출력 파형 (1V/div, 200μs/div. 입력은  $1V_{P-P}/1kHz$ 의 정현파)

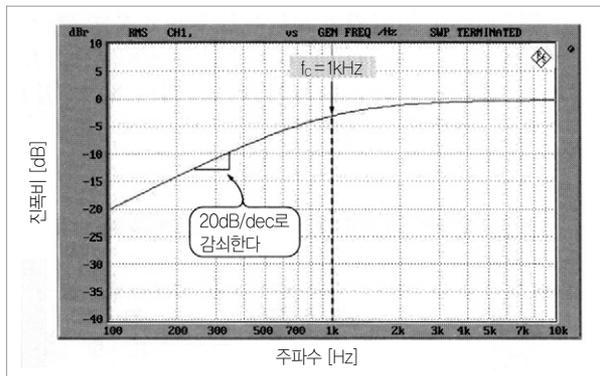


그림 34. 그림 33에서 입력과 출력 진폭비의 주파수 특성

(1) 주파수 특성

그림 34는 출력 진폭의 주파수 특성이다.  $f_c$ 는  $1\text{kHz} (= 1/(2\pi \times 0.01\mu\text{F} \times 16\text{k}\Omega))$ 이다.  $f_c$ 보다 낮은 주파수를 20dB/dec의 기울기로 감쇠(주파수가 1/10배로 되면 진폭이 1/10로 된다)시키는 1차 하이 패스 필터 특성이 된다.

(2) 동작 파형

그림 35는  $3V_{p-p}$ 의 정현파를 입력했을 경우의 각 주파수 입력 출력 파형이다. 통과 대역인 100Hz에서는 출력이 입력의 약 0.1배(-20dB)로 떨어지고 위상은 약  $90^\circ$  앞선다. 컷오프 주파

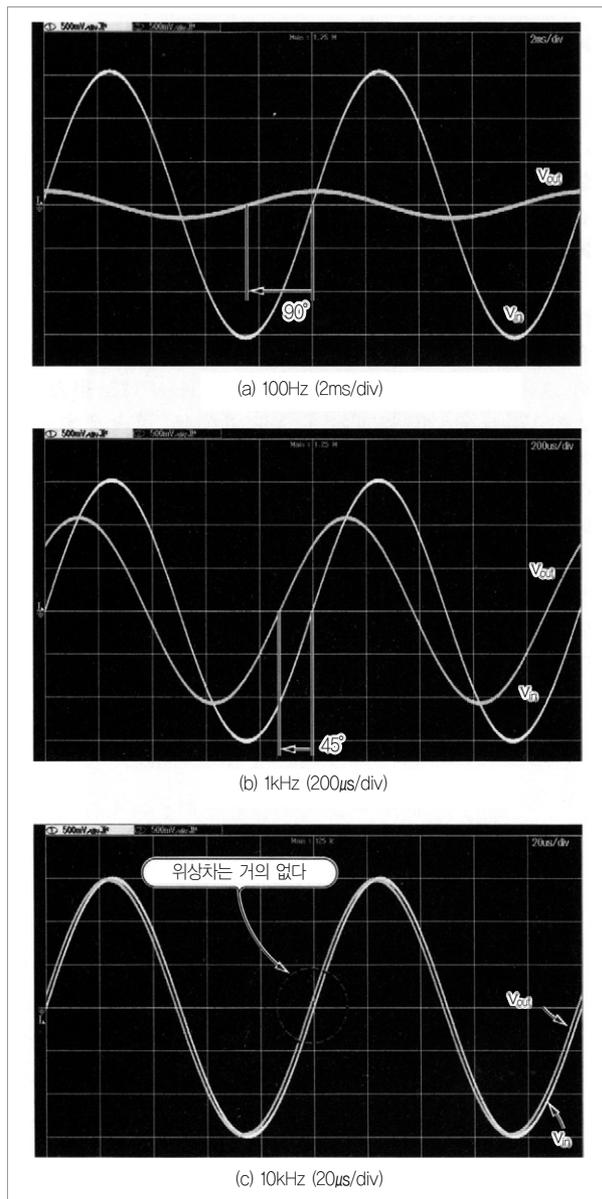


그림 35. 그림 33에서 진폭과 위상의 주파수 특성 (0.5V/div, 입력은  $3V_{p-p}$  정현파)

수 1kHz에서는 출력이 약 0.7배(-3dB)로 떨어지고 위상은  $45^\circ$  앞선다. 통과 대역인 10kHz에서는 출력 진폭의 감쇠가 거의 없으며 입출력 위상차도 거의 없다.

(3) 방형파 응답

그림 36은  $1V_{p-p}/300\text{Hz}$ 의 방형파를 입력했을 경우의 입출력 파형이다. 하이 패스 필터에 방형파를 입력하면 입력의 상승/하강 부분이 그대로 출력이 나타나고, 그 후 GND 레벨을 향해 감쇠되어 간다. 1차 하이 패스 필터는 GND 레벨을 향해 감쇠되는 부분에서 오버슈트나 진동이 발생하지 않는다는 특징을 갖고 있다.

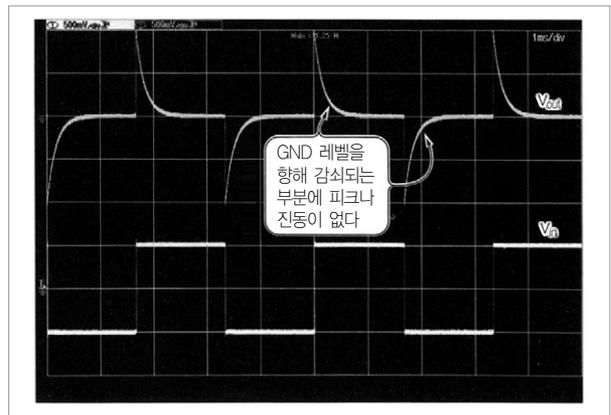


그림 36. 방형파 응답 (0.5V/div, 1ms/div, 입력은  $1V_{p-p}/300\text{Hz}$ 의 방형파)

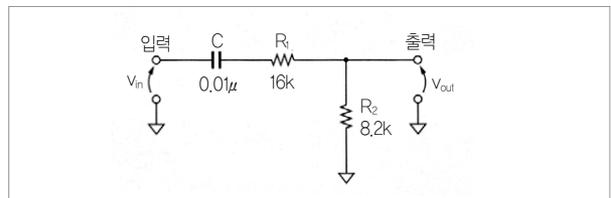


그림 37. 개량 또는 어레인자된 회로의 예 (입력 신호 감쇠와 필터링이 가능한 회로)

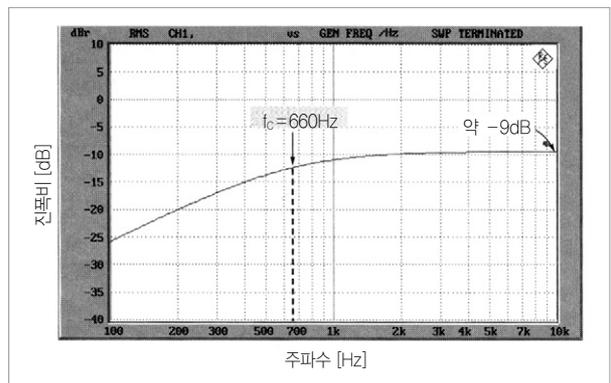


그림 38. 그림 37에서 입력과 출력 진폭비의 주파수 특성

### 3. 개량 또는 어레인지된 회로의 예

그림 37은 저항 분압형 감쇠기와 CR형 하이 패스 필터를 세트로 한 회로이다. 이 회로는 입력 신호의 감쇠와 필터 기능을 동시에 실현할 수 있다.  $f_c$ 와  $A_v$ 는 다음과 같이 결정된다.

$$f_c = \frac{1}{2\pi C(R_1 + R_2)} \text{ [Hz]}$$

$$A_v = \frac{R_2}{R_1 + R_2} \text{ [배]}$$

#### (1) 주파수 특성

그림 38은 출력 진폭의 주파수 특성을 나타낸 것이다.  $f_c$ 는  $660\text{Hz}[\approx 1/(2\pi \times 0.01\mu\text{F} \times (16\text{k}\Omega + 8.2\text{k}\Omega))]$ ,  $A_v = -9\text{dB}[\approx 20\log_{10}\{8.2\text{k}\Omega/(16\text{k}\Omega + 8.2\text{k}\Omega)\}]$ 으로 되어 통과 대역에서 입력 신호를 감쇠시킬 수 있다.

### 4. 참고문헌

(10), (14), (15), (16), (17)

### 기본 회로 ㉑ : 3차 하이 패스 필터 VCVS(sallen-key)형

OP 앰프 1개로 만들며 감쇠율이 60dB인 고역 통과형 액티브 필터. 증폭과 필터링을 한번에 할 수 있다. 대역은 수백kHz 이하이다(그림 39 참조).

#### 1. 계산식

· 컷오프 주파수  $f_c = \frac{1}{2\pi\sqrt{C_1C_2C_3R_1R_2R_3}} \text{ [Hz]}$

· 통과 대역의 전압 게인  $A_v = 1\text{배}$

### 2. 참고문헌

(5), (15), (16), (17)

### 기본 회로 ㉒ : 1차 하이 패스 필터 반전 앰프형

OP 앰프를 사용하고 있어 증폭과 필터링을 한번에 실행할 수 있다. 감쇠율 20dB/dec의 고역 통과형이며, 통과 대역의 위상이 180° 지연된다.

#### 1. 계산식

· 컷오프 주파수  $f_c = \frac{1}{2\pi CR} \text{ [Hz]}$

· 통과 대역의 전압 게인  $A_v = -\frac{R_F}{R} \text{ [배]}$

식에 있는 마이너스 부호는 극성의 반전을 의미한다

#### 2. 기본형

그림 40은 OP 앰프에 의한 반전 앰프에 1차 하이 패스 필터 기능을 내장한 회로이다. 컷오프 주파수  $f_c$ 는 C와 R에 의해 결정되며, C 또는 R의 값이 클수록  $f_c$ 가 낮아진다. 통과 대역의 전압 게인  $A_v$ 는 R과  $R_F$ 에 의해 결정된다.  $R > R_F$ 로 하면  $A_v$

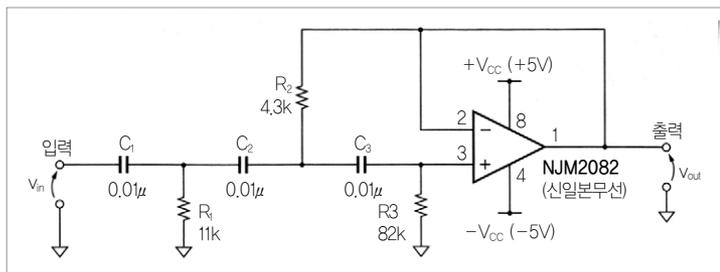


그림 39. 회로도 (이 회로의 상수는 버터워스 특성 상세한 내용은 '필터의 형태와 주파수 특성' 부분 참조)

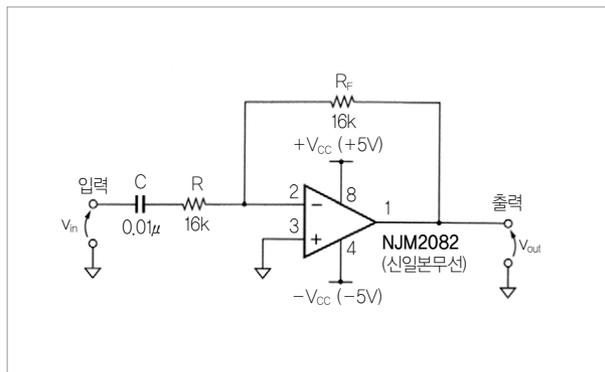


그림 40. 회로도

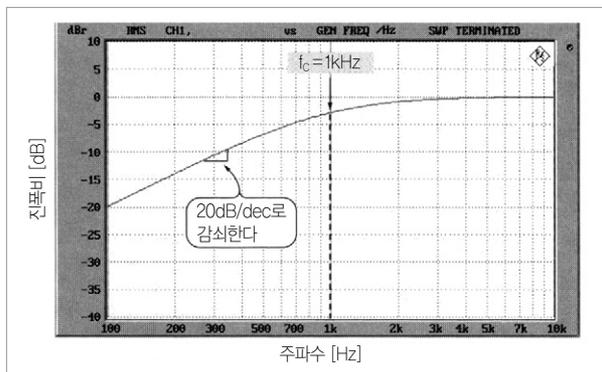


그림 41. 그림 40에서 입력과 출력 진폭비의 주파수 특성

를 1배 미만(감쇠)으로 설정할 수 있다.

그림 41은 출력 진폭의 주파수 특성이다.  $f_c$ 는  $1\text{kHz}(=1/(2\pi \times 0.01\mu\text{F} \times 16\text{k}\Omega))$ 이다.  $f_c$ 보다 낮은 주파수를  $20\text{dB/dec}$ 의 기울기로 감쇠(주파수가 1/10배로 되면 진폭이 1/10로 된다)시키는 1차 하이 패스 필터 특성으로 된다.  $A_v$ 는  $0\text{dB}(=20\log_{10}(16\text{k}\Omega/16\text{k}\Omega))$ 으로 된다.

그림 42는  $3V_{p-p}$ 의 정현파를 입력했을 경우의 각 주파수 임 출력 파형이다. 감쇠 대역인  $100\text{Hz}$ 에서는 출력이 입력의 약 0.1배( $-20\text{dB}$ )로 떨어지고 위상이 약  $270^\circ$  앞선다. 컷오프 주파수인  $1\text{kHz}$ 에서는 출력이 약 0.7배( $-3\text{dB}$ )로 떨어지고 위상이  $225^\circ$  앞선다. 통과 대역인  $10\text{kHz}$ 에서는 출력 진폭의 감쇠

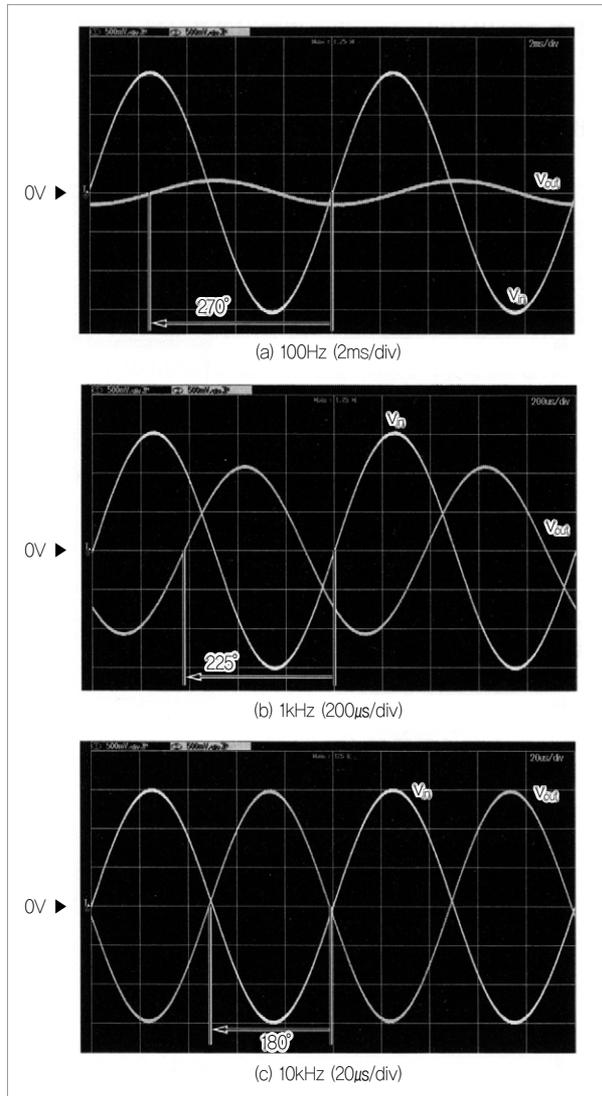


그림 42. 그림 40에서 진폭과 위상의 주파수 특성 (0.5V/div, 입력은  $3V_{p-p}$ 의 정현파)

가 거의 없으며 위상이 약  $180^\circ$  앞선다.

그림 43은  $1V_{p-p}/300\text{Hz}$ 의 방형파를 입력했을 경우의 입출력 파형을 나타낸 것이다. 출력 파형은 입력 파형에 대해 플러스/마이너스 극성이 반전된다. 하이 패스 필터에 방형파를 입력하면 입력의 상승/하강 부분이 그대로 출력에 나타나고, 그 후 GND 레벨을 향해 감쇠되어 간다. 1차 하이 패스 필터는 GND 레벨을 향해 감쇠되는 부분에 오버슈트나 진동이 발생하지 않는다는 특징을 갖고 있다.

### 참고문헌

- (1), (5), (6), (10), (14), (15), (16), (17), (23)

### 기본 회로 23 : 2차 밴드 패스 필터 VCVS(sallen-key)형

OP 앰프를 사용했으므로 증폭과 필터링을 한번에 실행할 수 있다. 감쇠율은  $20\text{dB/dec}$ , 대역은 수백kHz 이하의 대역 통과형이다(그림 44 참조).

#### 1. 계산식

$$\cdot \text{중심주파수 } f_0 = \frac{1}{2\pi} \sqrt{\frac{1}{C_1 C_2 R_3} \left( \frac{1}{R_1} + \frac{1}{R_2} \right)} \text{ [Hz]}$$

$$\cdot f_0 \text{에서의 전압 게인 } A_v = -\frac{K}{1 + \frac{R_1}{R_3} + \frac{C_2}{C_1} \left( 1 + \frac{R_1}{R_2} \right) + (1-K) \frac{R_1}{R_2}} \text{ [배]}$$

$$K = 1 + \frac{R_5}{R_4}$$

#### 3. 참고문헌

- (6), (10), (15), (16), (17)

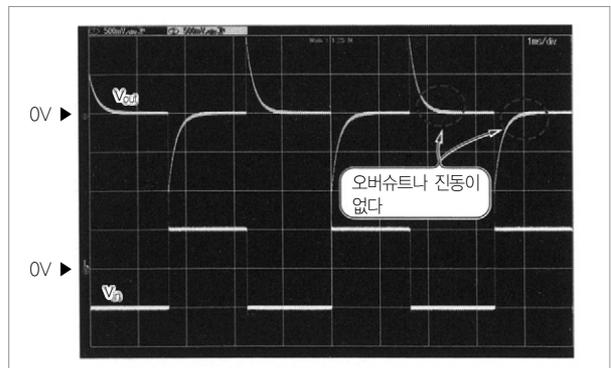


그림 43. 그림 40의 방형파 응답 (0.5V/div, 1ms/div, 입력은  $1V_{p-p}/300\text{Hz}$ 의 방형파)

### 기본 회로 ④ : 2차 밴드 패스 필터 상태변수형

차단 특성이 예리한 주파수 특성을 정밀하게 설정할 수 있다. 감쇠율 20dB/dec의 대역 통과형이며, 수십kHz 이하에서 사용된다(그림 45 참조).

#### 1. 계산식

· 중심주파수  $f_0 = \frac{1}{2\pi} \sqrt{\frac{R_4}{C_1 C_2 R_3 R_5 R_6}}$  [Hz]

· 통과 대역의 전압 게인  $A_v = \frac{R_2 R_4}{R_1 R_3}$  [배]

#### 2. 참고문헌

(3), (10), (14), (15), (16), (17)

### 기본 회로 ⑤ : 2차 하이 패스 필터 VCVS(sallen-key)형

OP 앰프를 사용했으므로 증폭과 필터링을 한번에 실행할 수 있다. 감쇠율 40dB/dec이며, 대역은 수백kHz 이하의 고역 통과형이다.

#### 1. 계산식

· 컷오프 주파수

$$f_c = \frac{1}{2\pi\sqrt{C_1 C_2 R_1 R_2}} \text{ [Hz]}$$

· 통과 대역의 전압 게인  $A_v = 1$ 배

#### 2. 기본형

그림 46은 VCVS(Voltage Controlled Voltage Source : 전압 제어 전압원)형이나 살렌키(Sallen-Key : 인명)형, 정귀환형 등이라고 불리는 2차 하이 패스 필터이다. 컷오프 주파수  $f_c$ 는  $C_1, C_2, R_1, R_2$ 에 의해 결정된다.  $f_c$ 를 정확하게 설정해야 하는 용도에서는  $C_1, C_2, R_1, R_2$ 에 허용차가 작은 고정밀 소자(예를 들면,  $\pm 1\%$ )를 사용하는 경우가 있다. 통과 대역의 전압

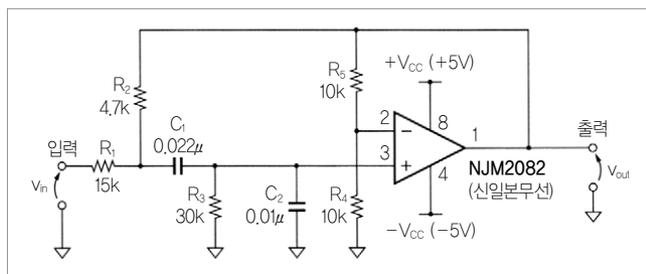


그림 44. 회로도

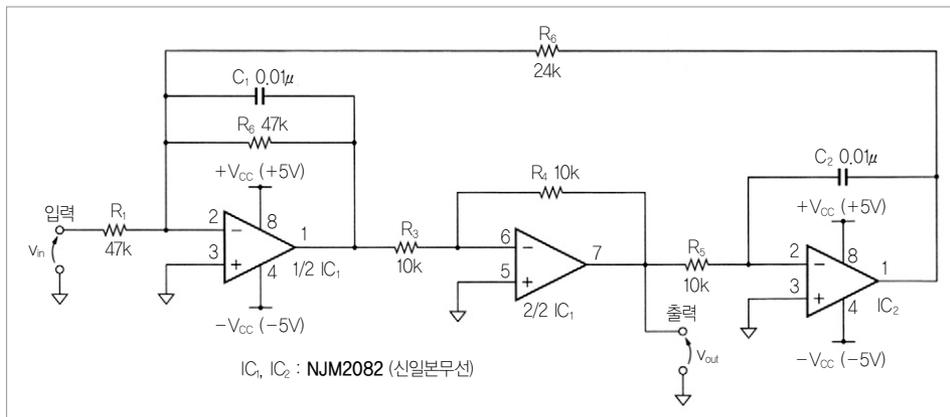


그림 45. 회로도

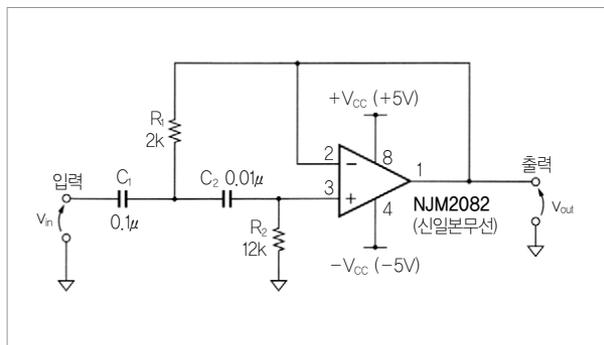


그림 46. 회로도 (이 회로의 상수는 버터워스 특성. 상세한 내용은 '필터의 형태와 주파수 특성' 부분 참조)

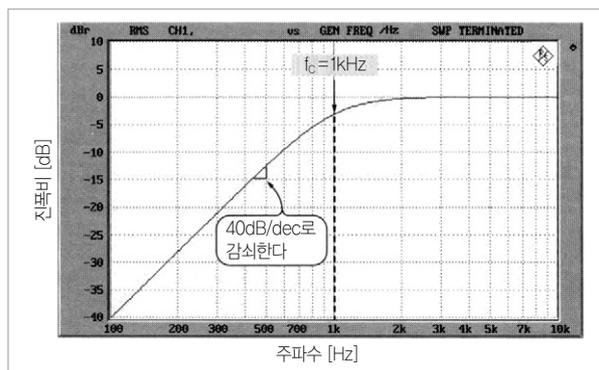


그림 47. 그림 46에서 입력과 출력 진폭비의 주파수 특성

게인  $A_v$ 는 1배(=0dB)로 된다.

(1) 주파수 특성

그림 47은 출력 진폭의 주파수 특성이다.  $f_c$ 는  $1\text{kHz} \{ \approx 1/(2\pi \times \sqrt{0.1\mu\text{F} \times 0.01\mu\text{F} \times 2\text{k}\Omega \times 12\text{k}\Omega}) \}$ 이다.  $f_c$ 보다 낮은 주파수를 40dB/dec의 기울기로 감쇠(주파수가 1/10배로 되면 진폭이 1/100로 된다)시키는 2차 하이 패스 필터 특성이 된다.

(2) 동작 파형

그림 48은  $3V_{P-P}$ 의 정현파를 입력했을 경우의 각 주파수 입력 출력 파형이다. 그림 48(a)의  $v_{out}$ 은 다른 것과 세로축이 다르다는 데 주의해야 한다. 감쇠 대역인 100Hz에서 출력은 입력의 약 0.01배(-40dB)로 떨어지고 위상은 약  $180^\circ$  앞선다. 컷 오프 주파수인 1kHz에서 출력은 약 0.7배(-3dB)로 떨어지고

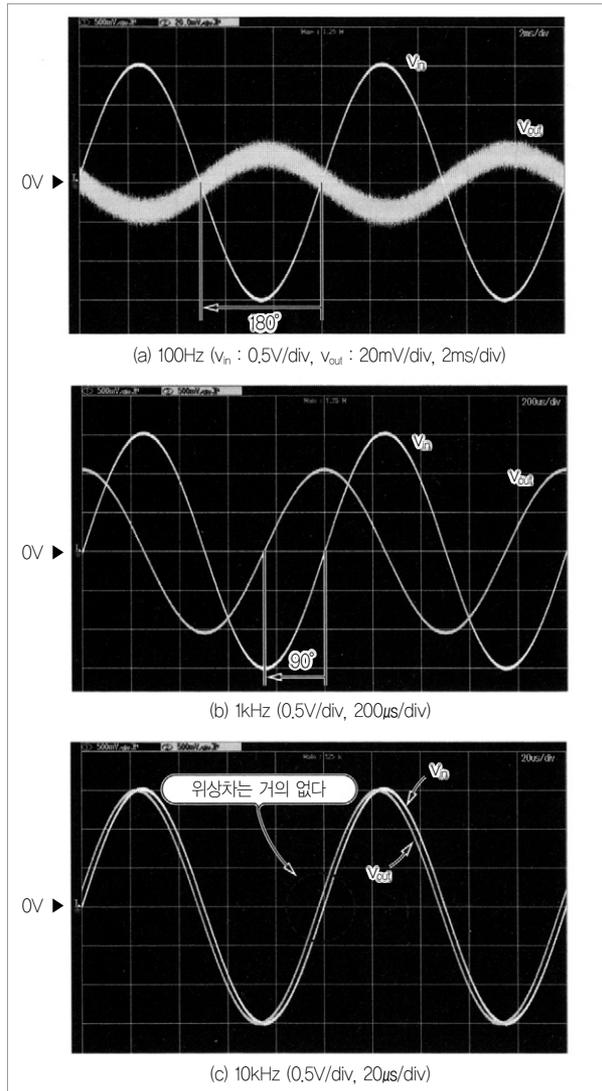


그림 48. 그림 46에서 진폭과 위상의 주파수 특성 (입력은  $3V_{P-P}$ 의 정현파)

위상은  $90^\circ$  앞선다. 통과 대역인 10kHz에서는 출력 진폭의 감쇠와 입출력 위상차가 거의 없다.

그림 49는  $1V_{P-P}/300\text{Hz}$  방형파를 입력했을 경우의 입출력 파형이다. 하이 패스 필터에 방형파를 입력하면 입력의 상승/하강 부분이 그대로 출력에 나타나고, 그 후 GND 레벨을 향해 감쇠되어 간다. 이 필터는 GND 레벨을 향해 감소되는 부분에서 작은 오버슈트가 발생했다. 차단 특성이 급격한 하이 패스 필터에 방형파를 입력하면 이렇게 출력 파형이 감쇠되는 부분에 오버슈트나 진동이 발생한다.

3. 개량 또는 어레인지된 회로의 예

그림 50은 전압 게인을 부여한 회로이다. 이 회로는 필터와 앰프의 기능을 하나의 회로로 실현할 수 있다.  $f_c$ 를 결정하는 방법은 기본형 회로와 똑같다.  $A_v$ 는 다음과 같이 정해진다.

$$A_v = 1 + \frac{R_F}{R_S} \text{ [배]}$$

그림 51은 출력 진폭의 주파수 특성을 나타낸 것이다.  $A_v = +6\text{dB} \{ \approx 20\log_{10}(1 + 10\text{k}\Omega/10\text{k}\Omega) \}$ ,  $f_c = 1\text{kHz} \{ \approx 1/(2\pi \times \sqrt{0.1\mu\text{F} \times 0.01\mu\text{F} \times 2.7\text{k}\Omega \times 9.1\text{k}\Omega}) \}$ 로 되며, 전압 게인을 부여하면서 2차 하이 패스 필터 특성을 실현했다.

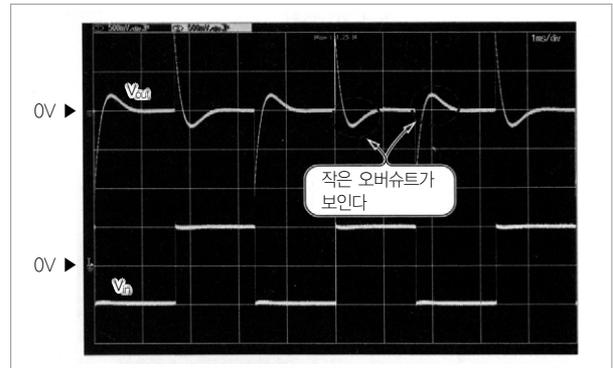


그림 49. 그림 46의 방형파 응답 (0.5V/div, 1ms/div. 입력은  $1V_{P-P}/300\text{Hz}$ 의 방형파)

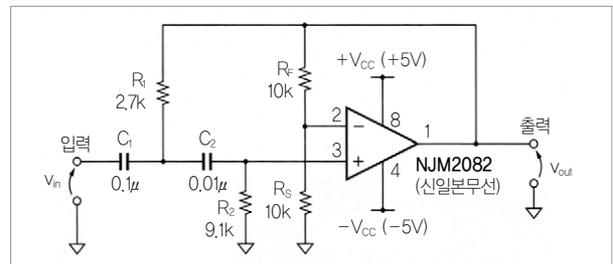


그림 50. 개량 또는 어레인지된 회로의 예 (1배 이상의 게인을 부여한 예)

#### 4. 참고문헌

(1), (5), (6), (10), (14), (15), (16), (17), (23)

#### 기본 회로 ②6 : 2차 밴드 패스 필터 다중 귀환형

통과 대역의 위상이 180° 지연된다. OP 앰프를 사용했으므로 증폭과 필터링을 한번에 실행할 수 있다. 감쇠율은 20dB/dec, 대역은 수백kHz 이하의 대역 통과형이다.

#### 1. 계산식

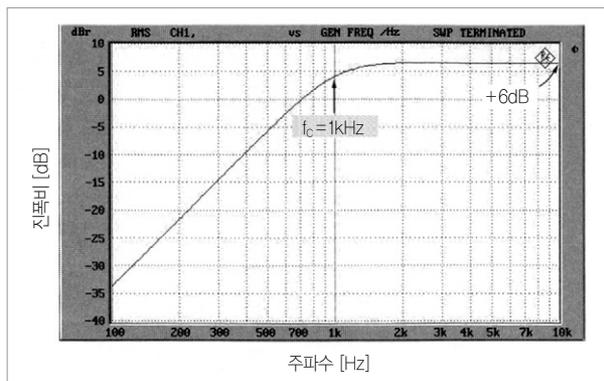


그림 51. 그림 50에서 입력과 출력 진폭비의 주파수 특성

$$\cdot \text{중심주파수 } f_0 = \frac{1}{2\pi} \sqrt{(R_1 + R_2) / (C_1 C_2 R_1 R_2 R_3)} \text{ [Hz]}$$

$$\cdot f_0 \text{에서의 전압 게인 } A_v = -\frac{C_2 R_3}{(C_1 + C_2) R_1} \text{ [배]}$$

식에 있는 마이너스 부호는 극성의 반전을 의미한다

#### 2. 기본형

그림 52는 무한대 이득 증폭기형이나 무한 귀환형, 다중 귀환(Multiple Feedback)형 등으로 불리는 2차 밴드 패스 필터이다. 중심주파수  $f_0$ 는  $C_1, C_2, R_1, R_2, R_3$ 에 따라 결정된다.  $f_0$ 를 정확하게 설정해야 하는 용도에서는 저항과 콘덴서에 허용

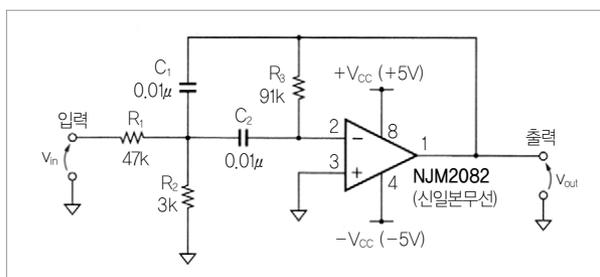


그림 52. 회로도

### 파형의 왜곡 정도를 수치화하는 방법

전체 고조파 왜곡률 THD(Total Harmonics Distortion)는 정현파의 순도를 나타내는 특성 중 하나이다. 저주파 회로에서 앰프의 직선성이나 정현파 발전 회로의 평가에 사용된다.

그림 D는 그림 C의 주파수 스펙트럼을 나타낸 것이다. 기본 주파수(1kHz)의 정수 배 주파수에서 고조파 성분이 보인다. 2배의 주파수를 2차 고조파, n배의 주파수를 n차 고조파라고 한다. 이 고조파

가 왜곡 성분이다.

THD는 고조파 성분과 기본 주파수 성분의 비율을 나타낸 것으로, 다음과 같이 계산한다.

$$THD = \frac{\sqrt{H_{b2}^2 + H_{b3}^2 + \dots + H_{bn}^2}}{H_{b1}} \times 100 \text{ [%]}$$

단,  $H_{bn}$ 은 n차 고조파 성분이다.

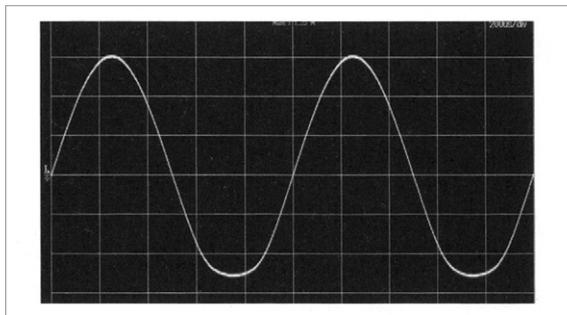


그림 C. 왜곡이 큰 정현파 (0.2V/div, 200μs/div)

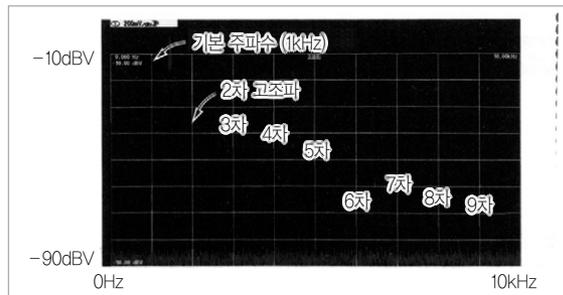


그림 D. THD=4.7%인 주파수 스펙트럼 (20차 고조파까지 측정, 0dBV=1V<sub>RMS</sub>)

차가 작은 고정밀 소자(예를 들면, ±1%)를 사용하는 경우가 있다.

중심주파수에서의 전압 게인  $A_v$ 는  $C_1, C_2, R_1, R_3$ 에 의해 결정된다.  $(C_1 + C_2)R_1 > C_2R_3$ 로 하면  $A_v$ 를 1배 미만(감쇠)으로 설정할 수 있다.

(1) 주파수 특성

그림 53은 입력과 출력 진폭비의 주파수 특성이다.  $f_0 = 1\text{kHz} (= 1/2\pi \sqrt{(47\text{k}\Omega \times 3\text{k}\Omega) / (0.01\mu\text{F} \times 0.01\mu\text{F} \times 47\text{k}\Omega \times 3\text{k}\Omega \times 91\text{k}\Omega)})$ 을 중심으로 하여 낮은 주파수와 높은 주파수를 감쇠시킨다.  $f_0$  주변의 커브 형태는 밴드 패스 필터의 샤프니스  $Q$ (Quality Factor)에 따라 변한다.  $Q$ 가 높을수록 커브의 산이 예리해진다. 이 회로는  $Q \approx 3$ 이며 산 부분이 조금 예리해졌다.

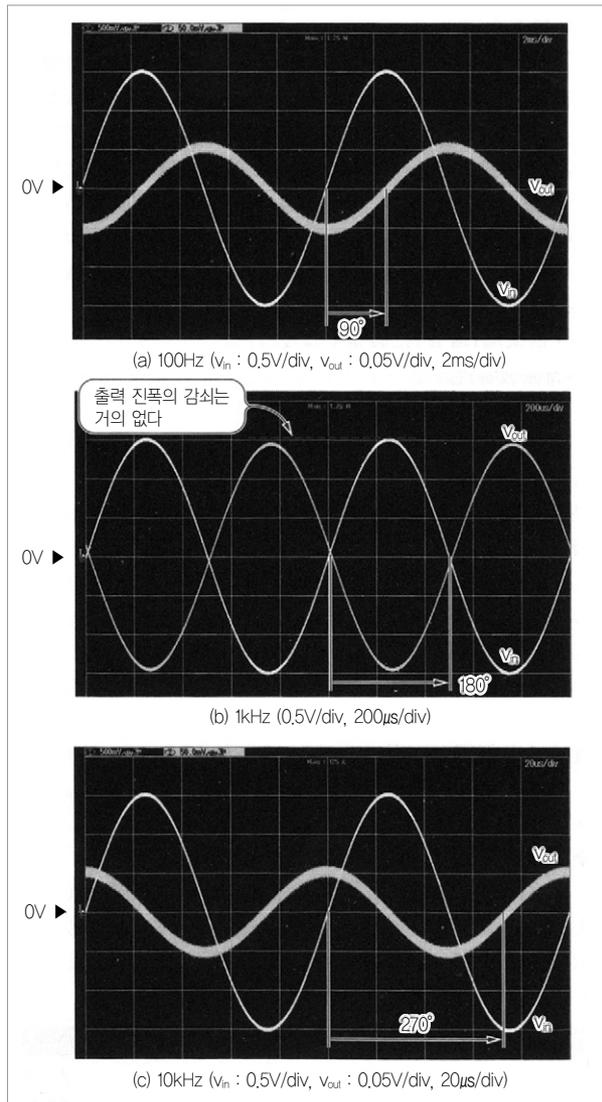


그림 54. 그림 52에서 진폭과 위상의 주파수 특성 (입력은  $3V_{P-P}$ 의 정현파)

$f_0$ 에서 크게 떨어진 부분의 기울기는 낮은 주파수 영역, 높은 주파수 영역 모두 20dB/dec(주파수가 10배 변하면 진폭이 10배 또는 1/10로 된다)가 된다.

$A_v$ 는  $0\text{dB} [= 20\log_{10}(0.01\mu\text{F} \times 91\text{k}\Omega / ((0.01\mu\text{F} + 0.01\mu\text{F}) \times 47\text{k}\Omega))]$ 으로 된다.

(2) 동작 파형

그림 54는  $3V_{P-P}$ 의 정현파를 입력했을 경우의 각 주파수 임 출력 파형이다. 그림 54(b)의  $v_{out}$ 은 다른 것과 세로축이 다르다는 데 주의해야 한다. 감쇠 대역인 100Hz에서 출력은 입력에 대해 약 1/30(=  $0.1V_{P-P} / 3V_{P-P}$ )로 떨어지고 위상은  $90^\circ$  지연된다. 중심주파수인 1kHz에서는 출력 진폭의 감쇠가 거의 없다. 출력의 위상은 입력에 대해  $180^\circ$  지연된다. 감쇠 대역인 10kHz에서는 출력이 입력의 약 1/30(=  $0.1V_{P-P} / 3V_{P-P}$ )로 떨어지고 위상은  $270^\circ$  지연된다.

이 회로의 경우 감쇠 대역인 100Hz와 10kHz에서 출력이 입력의 1/30으로 감쇠했지만 감쇠도는 회로의  $Q$ 에 따라 달라진다.

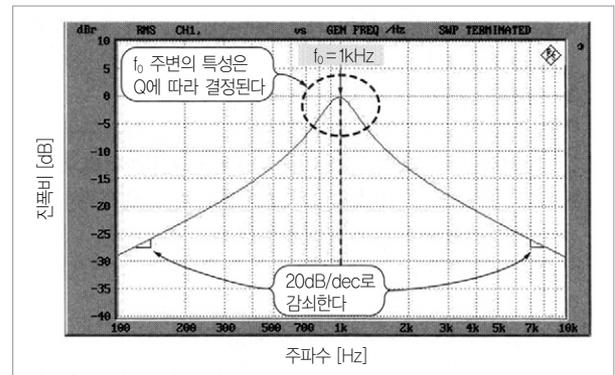


그림 53. 그림 52에서 입력과 출력 진폭비의 주파수 특성

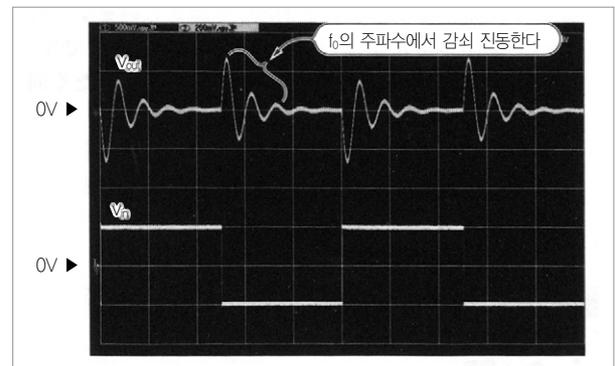


그림 55. 그림 52의 방형파 응답 ( $v_{in}$  : 0.5V/div,  $v_{out}$  : 0.2V/div, 2ms/div, 입력은  $1V_{P-P} / 100\text{Hz}$ 의 방형파)

(3) 방형파 응답

그림 55는  $1V_{p-p}/100Hz$ 의 방형파를 입력한 경우의 입출력 파형이다. 밴드 패스 필터에 방형파를 입력하면 출력에는 주파수가  $f_0$ 인 감쇠 진동이 나타난다. 감쇠 진동은 입력 신호의 상승/하강 에지에서 시작된다.

3. 개량 또는 어레인지된 회로의 예

그림 56은 단전원으로 동작시킨 회로를 나타낸 것이다. OP 앰프의 비반전 입력 단자(그림 56에서는 3번 핀)에 +5V 전원의 중점 전압인  $V_B(+2.5V)$ 를 가했다. 기타 회로 상수는 기본 회로와 똑같다. 따라서 출력 진폭의 주파수 특성도 그림 53과 같아진다.

그림 57은  $2V_{p-p}/1kHz$ 의 정현파를 입력한 경우의 입출력 파형이다. 신호 주파수에 의한  $v_{out}$ 의 진폭과 위상 변화는 기본

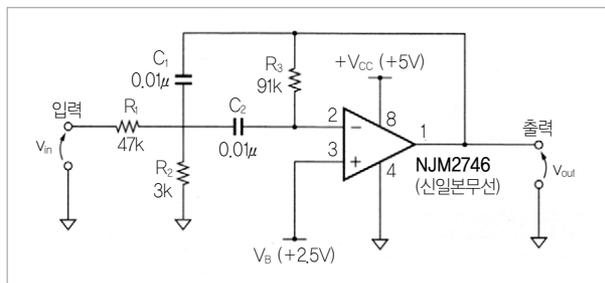


그림 56. 개량 또는 어레인지된 회로의 예 (단전원에서 사용할 수 있는 회로로 개량한 예)

형 회로와 같지만  $v_{out}$ 에는 직류 성분으로  $V_B$ 가 중첩된다.

4. 참고문헌

- (5), (6), (10), (14), (15), (16), (17), (23)

원하는 대로 얻거나 제거하기 위한 필터의 형태와 주파수 특성

필터는 전기신호의 진폭과 위상에 주파수 특성을 부여하는 회로 블록이다. 다음에는 필터 특유의 키워드에 대해 설명한다.

1. 주파수 특성과 필터의 종류

그림 58은 필터의 종류를 나타낸 것이다. 필터는 신호 통과

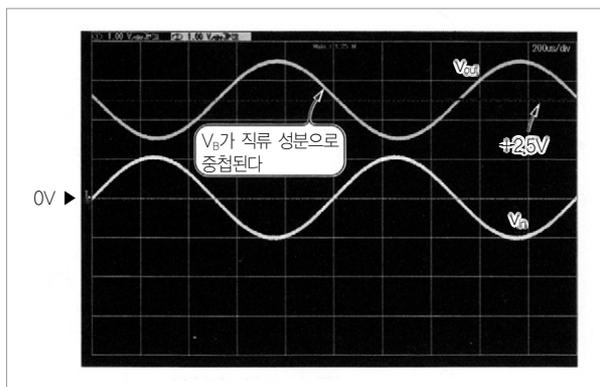


그림 57. 그림 56의 입출력 파형 (1V/div, 200μs/div)

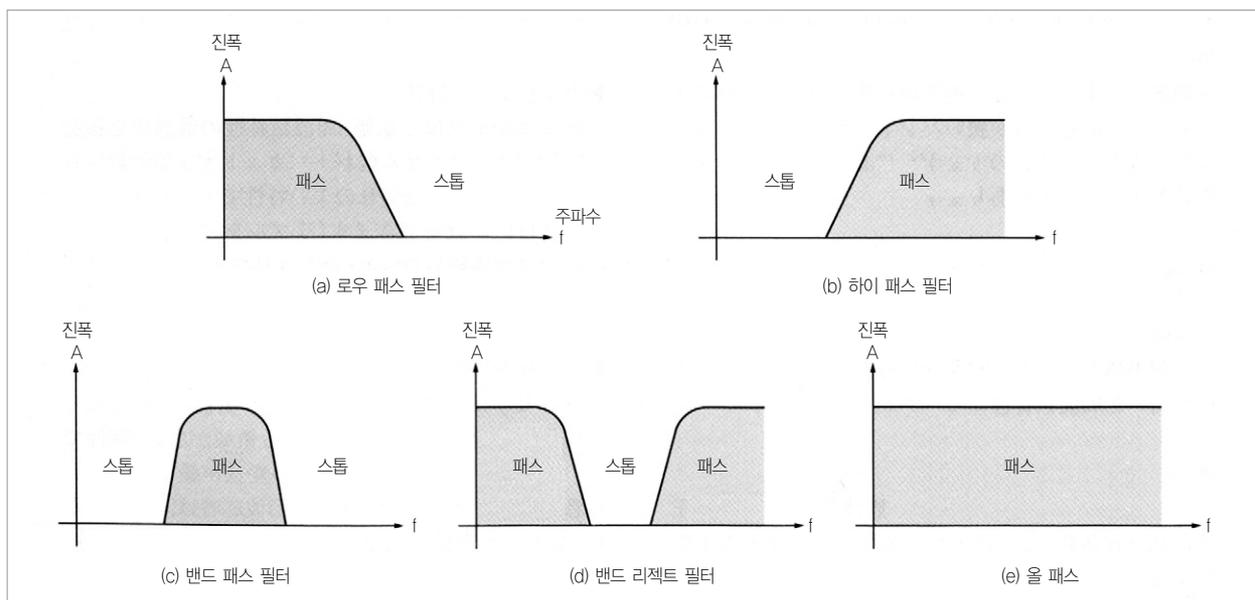


그림 58. 필터를 설계할 때에는 우선 주파수 특성의 타입을 선택한다

대역(패스 밴드)과 저지 대역(스톱 밴드)의 배치에 따라 크게 다섯 종류로 나눌 수 있다.

(1) 로우 패스 필터

낮은 주파수 신호를 통과시키고, 높은 주파수 신호를 저지하는 저역 통과 필터이다.

(2) 하이 패스 필터

높은 주파수 신호를 통과시키고, 낮은 주파수 신호를 저지하는 고역 통과 필터이다.

(3) 밴드 패스 필터

어떤 대역의 신호는 통과시키고, 그 밖의 주파수 신호는 저지하는 대역 통과 필터이다.

(4) 밴드 리젝트 필터

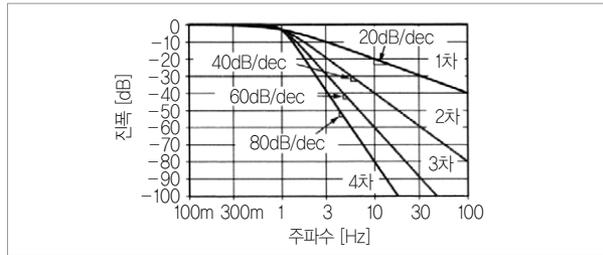


그림 59. 필터를 설계할 때에는 감쇠의 기울기도 중요하다

어떤 대역의 신호는 저지하고, 그 밖의 주파수 신호는 통과시키는 대역 저지 필터이다. 밴드 스톱 필터나 밴드 엘리티네이트 필터, 노치 필터라고도 한다.

(5) 올 패스 필터

모든 대역의 신호를 통과시키는 전체 대역 통과 필터이다. 신호의 진폭에는 영향을 주지 않고 위상만 변화시킨다. 이산기(移相器)나 페이즈 시프터로도 불린다.

2. 차수

차수는 차단 특성의 예리함이 양호하다는 것을 나타내는 파라미터이다(정확하게는 전달함수의 극 수). 그림 59는 차수에 따른 진폭-주파수 특성의 차이이다. 차수가 높을수록 차단 특성이 급격해진다. 기울기는 1차당 20dB/dec(주파수가 10배 변하면 진폭이 20dB 변한다)이다. 20dB/dec를 6dB/oct(주파수가 2배 변하면 진폭이 6dB 변한다)로 표현하는 경우가 있다. 20dB/dec와 6dB/oct는 똑같은 기울기를 나타낸다. 그림 59는 로우 패스 필터의 예를 나타낸 것이지만 하이 패스 필터인 경우에도 동일하다.

그림 60은 밴드 패스 필터의 진폭-주파수 특성이다. 밴드

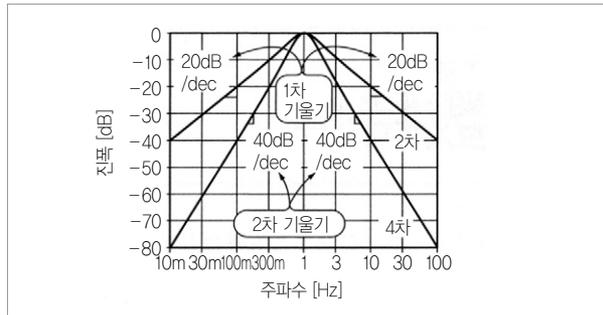


그림 60. 밴드 패스 필터는 2군데 슬로프 차수의 합이 전체 차수로 된다

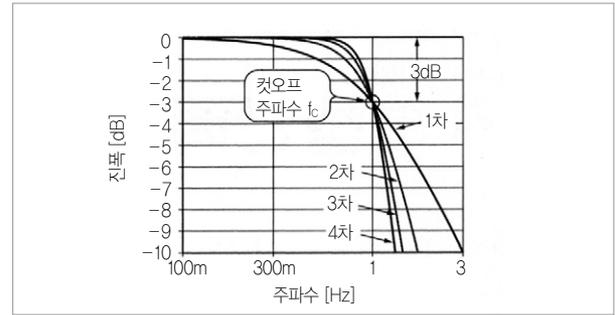


그림 61. 컷오프 주파수  $f_c$ 란 통과 대역의 끝을 나타내는 주파수 (로우 패스 필터, 버터워스 특성의 예)

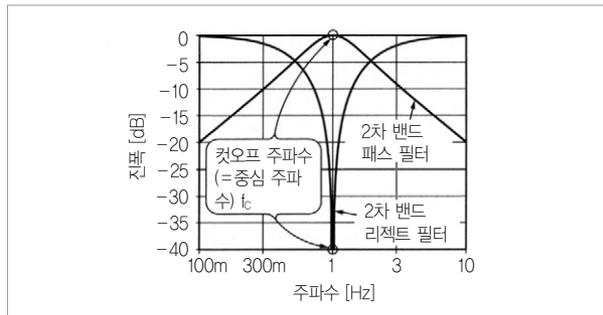


그림 62. 통과 대역이 좁은 밴드 패스 필터나 저지 대역이 좁은 밴드 리젝트 필터는 변화의 중심이 컷오프 주파수  $f_c$

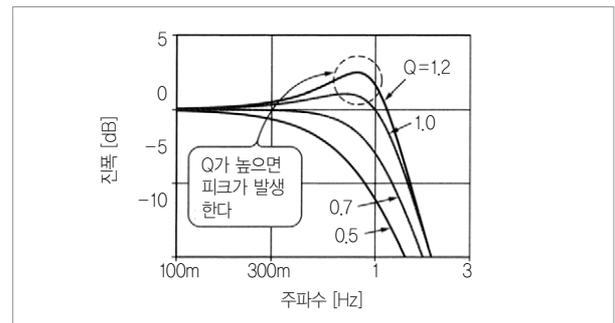


그림 63. 컷오프 주파수 부근의 형태는 Q에 따라 변한다

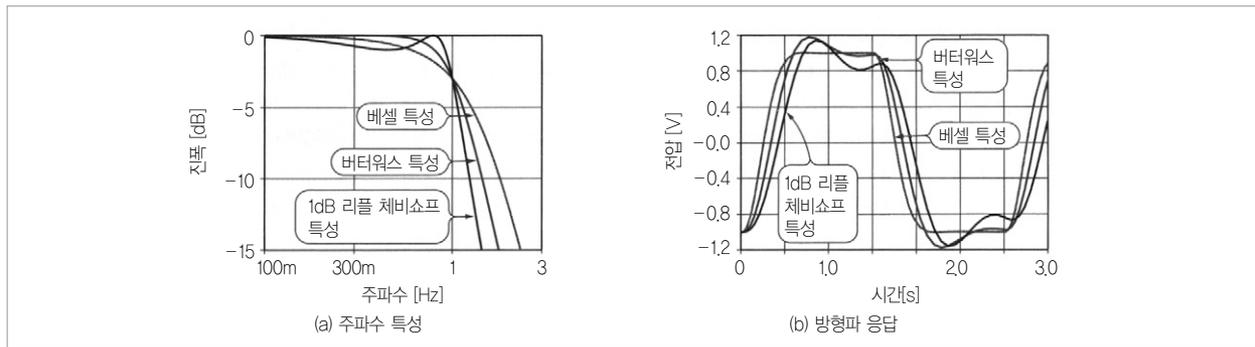


그림 64. 방형파 응답은 주파수 특성의 형태에 따라 크게 변한다

패스 필터의 전체 차수는 2군데 슬로프 차수의 합이 된다(2차 밴드 패스 필터라면 1차+1차). 밴드 리젝트 필터인 경우에도 동일하다.

### 3. 컷오프 주파수, 중심 주파수

컷오프 주파수  $f_c$ ( $f_0$ 로 표기하는 경우도 있다)는 진폭-주파수 특성이 통과 대역에서 저지 대역으로 이동하는 각, 즉 통과 대역의 끝을 나타내는 주파수이다. 코너 주파수라고도 한다. 그림 61은  $f_c$ 를 나타낸 것이다.  $f_c$ 는 진폭이 3dB 떨어진 포인트의 주파수이다. 엄밀하게 생각하면, 2차 이상의 필터에서는 필터 특성에 따라  $f_c$ 에서의 진폭 저하 레벨이 달라진다. 그러나 일반적으로 차수나 필터 특성에 관계없이 진폭이 3dB 떨어진 주파수를 컷오프 주파수라고 한다.

그림 62와 같이 통과 대역이 좁은 밴드 패스 필터나 저지 대역이 좁은 밴드 리젝트 필터인 경우에는 변화의 중심이  $f_c$ 로 된다.  $f_c$ 를 중심 주파수라고 부르는 경우도 있다.

### 4. Q

Q(Quality Factor)는 컷오프 주파수 부근의 진폭-주파수 특성의 형태를 나타내는 파라미터이다. 그림 63은 컷오프 주파수 부근의 진폭-주파수 특성이다. Q의 값이 높으면 주파수 특성에 피크가 발생한다.

### 5. 전달 특성과 필터의 종류

필터 특성은 특정 진폭-주파수 특성의 형상(정확하게는 전달함수)에 붙여진 명칭이다. 필터 특성에는 다양한 종류가 있다. 일반적으로 널리 이용되는 특성은 버터워스 특성, 체비소프 특성, 베셀 특성이다.

그림 64는 로우 패스 필터에서 각 특성의 진폭-주파수 특성과 방형파 응답(방형파를 입력했을 때의 출력 파형)을 나타낸 것이다.

#### (1) 버터워스 특성

버터워스는 진폭-주파수 특성이나 위상-주파수 특성, 방형파 응답 등의 밸런스가 좋은 특성이다. 진폭-주파수 특성에 피크가 없고 평평한 대역이 넓은 것이 특징이다. 따라서 최대 진폭 평탄 특성이라고도 한다. 방형파 응답은 상승/하강 부분에서 진동이 발생한다.

#### (2) 체비소프 특성

체비소프는 진폭-주파수 특성의 통과 대역을 진동(리플이라고 한다)시키는 대신에 컷오프 주파수 부근의 기울기를 급격하게 한, 예리한 특성이다. 리플 크기는 자유롭게 설정할 수 있다(리플을 크게 할수록 차단 특성이 급해진다). 그림 63은 리플이 1dB인 특성이다. 방형파 응답은 상승/하강 부분에서 큰 진동이 발생한다.

#### (3) 베셀 특성

베셀은 위상-주파수 특성이 정직한(통과 대역에서 주파수에 비례하여 변화하는 영역이 넓다) 특성이다. 그러나 진폭-주파수 특성 변화가 완만한, 예리하지 않은 필터가 된다. 방형파 응답은 상승/하강 부분에서 오버슈트나 진동이 전혀 발생하지 않는다. 따라서 펄스 파형을 다루는 신호 전송 장치 등에 사용된다.



과월호 기사는 본지의 웹사이트를 통해서도 보실 수 있습니다.  
<http://www.chomdan.co.kr>

本記事는 日本 CQ出版社가 發行하는 「トランジスタ技術」誌와의 著作権 協定에 依據하여 提供받은 資料입니다.

가산/감산에서 미적분/절대값 검출까지

# 4 계산용 아날로그 회로

鈴木 雅臣

## 기본 회로 27 : 감산 회로 저항 분압형

신호의 전압 진폭을 작게 할 수 있다. 저주파에서 고주파에 이르기까지 널리 사용되고 있다.

### 1. 계산식

$$\cdot \text{감쇠도 } A_v = \frac{R_2}{R_1 + R_2} \text{ [배]}$$

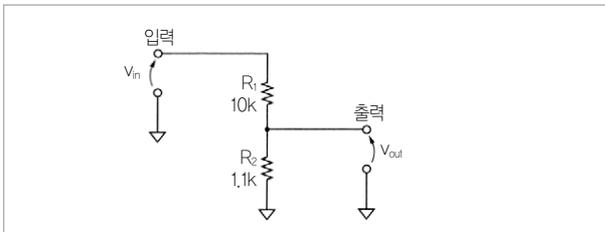


그림 1. 회로도

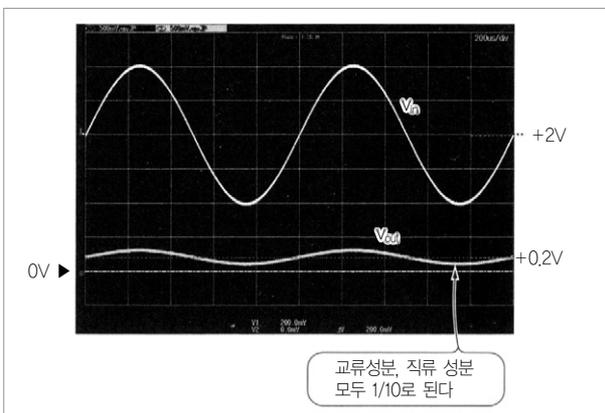


그림 2. 그림 1의 입출력 파형 (0.5V/div, 200μs/div, 입력은 2V<sub>P-P</sub>/1kHz의 정현파)

$$\cdot \text{출력 임피던스 } Z_{out} = \frac{R_1 R_2}{R_1 + R_2} \text{ [Ω]}$$

### 2. 기본형

그림 1은 저항에 발생하는 전압 강하를 이용한 간단한 감쇠기이다. 감쇠도  $A_v$ 는  $R_1$ ,  $R_2$ 의 비에 따라 결정된다. 이 회로는 출력 임피던스  $Z_{out}$ 을 낮출 수 있으므로 출력을 고입력 임피던스 회로(예를 들면 전압 폴로어나 비반전 앰프 등)로 받을 필요가 있다.

#### (1) 동작 파형

그림 2는  $2V_{P-P}/1\text{kHz}$ 의 정현파에 직류 전압  $2V_{DC}$ 를 가한 신호( $v_{in} = 2V_{P-P} + 2V_{DC}$ )를 입력한 경우의 입출력 파형이다.

이 회로는  $A_v = 0.1 (= 1.1\text{k}\Omega / (10\text{k}\Omega + 1.1\text{k}\Omega))$ 이므로 출력  $v_{out}$ 은 교류 성분, 직류 성분 모두  $v_{in}$ 의 1/10인  $0.2V_{P-P} + 0.2V_{DC}$ 가 된다.

#### (2) 주파수 특성

그림 3은  $A_v$ 의 주파수 특성을 나타낸 것이다. 이론적으로 저항기의 임피던스는 주파수에 의해 변화하지 않으므로 저항

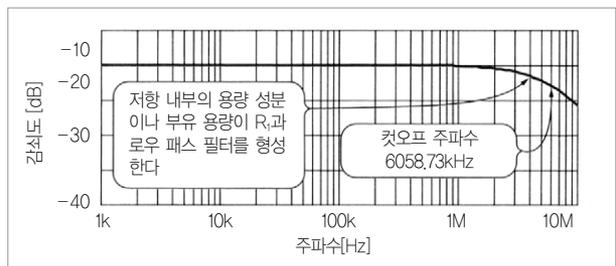


그림 3. 그림 1의 감쇠도  $A_v$ 의 주파수 특성

분압형 감쇠기인  $A_v$ 도 주파수에 의해 변화하지 않는다(주파수 특성은 수평, 직선으로 된다).

그러나 실제 회로에서는 저항기 내부의 용량 성분이나 프린트 기판상의 부유용량 등이  $R_i$ 과 로우 패스 필터를 형성하므로 높은 주파수 영역에서 리스폰스(진폭)가 저하된다. 이 로우 패스 필터의 컷오프 주파수  $f_c$ 는  $R_i$ 의 저항값이 높은 회로일수록 주파수가 낮아진다.

### 3. 참고문헌

(23), (24) - 본지 50쪽 참조

### 기본 회로 ⑳ : 가산 회로 반전 앰프형

여러 입력신호의 진폭을 합하거나 반전시켜 출력한다. 입력 채널별로 전압 게인을 설정할 수 있다. 직류에서 수십MHz까지의 회로에 사용된다.

#### 1. 계산식

출력 전압  $v_{out} = A_{v1}v_{in1} + A_{v2}v_{in2}$  [V]

· 입력 1에 대한 전압 게인  $A_{v1} = -\frac{R_F}{R_1}$  [배]

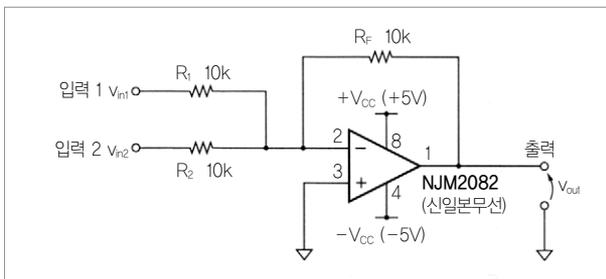


그림 4. 회로도

· 입력 2에 대한 전압 게인  $A_{v2} = -\frac{R_F}{R_2}$  [배]

식에 있는 마이너스 부호는 극성의 반전을 의미한다

#### 2. 기본형

그림 4는 OP 앰프에 의한 반전 앰프 회로에 입력 직렬저항을 통해서 2번째 입력 단자를 추가한 회로이다. 따라서 기본적인 동작이나 특성은 반전 앰프 회로와 같다. 각 입력에 대한 전압 게인  $A_{v1}$ ,  $A_{v2}$ 는  $R_1$ ,  $R_2$ ,  $R_F$ 에 의해 결정된다.  $R_1$ ,  $R_2 > R_F$ 로 하면 각 전압 게인을 1배 미만(감쇠)으로 설정할 수 있다.

##### (1) 동작 파형

그림 5는  $v_{in1}$ 에  $2V_{p-p}/1kHz$ 의 정현파를,  $v_{in2}$ 에  $1V_{p-p}/1kHz$ 의 정현파( $v_{in1}$ 과  $v_{in2}$ 는 동일한 극성)를 입력한 경우의 입출력 파형이다. 가산 결과, 입력 신호와 극성이 반대인  $3V_{p-p} (= (-10k\Omega/10k\Omega) \times 2V_{p-p} + (-10k\Omega/10k\Omega) \times 1V_{p-p})$ 의 출력을 얻

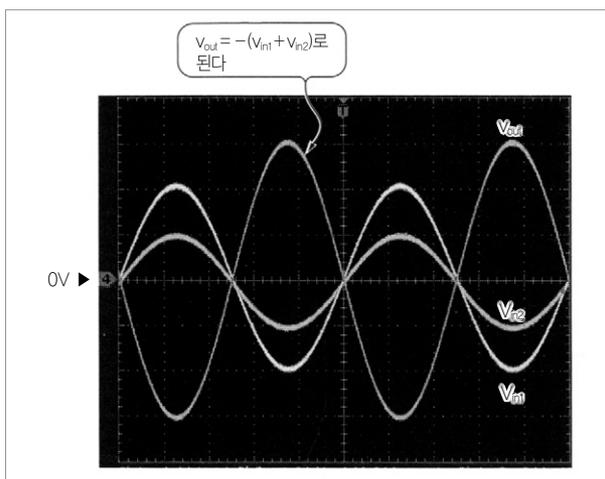


그림 5. 그림 4의 입출력 파형 (1V/div, 200μs/div,  $v_{in1}$ :  $2V_{p-p}/1kHz$ 의 정현파,  $v_{in2}$ :  $1V_{p-p}/1kHz$ 의 정현파)

## 대문자와 소문자의 구분

회로도와 블록도에 전압, 전류 기호를 기록할 때에는 대문자와 소문자를 구분하여 사용한다. 대문자는 직류 신호 또는 직류 신호와 관련된 것, 소문자는 교류 신호 또는 교류 신호와 관련된 것으로 구분한다. 이렇게 하면 기호를 보기만 해도 신호 파형이나 파라미터의 의미를 떠올릴 수 있다. 예를 들면 다음과 같다.

$V, V_n, V_{out}$  : 직류 전압을 나타낸다

$v, v_n, v_{out}$  : 교류 전압을 나타낸다

$I, I_n, I_{out}$  : 직류 전류를 나타낸다

$i_n, i_n, i_{out}$  : 교류 전류를 나타낸다

다음과 같이 첨자로 구분하여 사용하는 경우도 있다.

$A_v, h_{FE}$  : 직류 신호와 관련된 파라미터

$A_v, h_{fe}$  : 교류 신호와 관련된 파라미터



을 수 있다.

(2) 주파수 특성

그림 6은  $A_{v1}$ 의 주파수 특성을 나타낸 것이다( $v_{in2}=0V$ 로 하여 측정했다). OP 앰프 단독 계인은 주파수가 높은 영역에서 저하되므로, 회로 전체의 주파수 특성도 고역이 감소하는 로우 패스 필터와 같은 특성이 된다. 높은 주파수 영역의 특성은 사용하는 OP 앰프에 따라 정해진다. 낮은 주파수 영역에서는  $A_{v1}=0dB(=20\log_{10}(10k\Omega/10k\Omega))$ 이 된다.

2. 개량 또는 어레인지된 회로의 예 ①

그림 7은 입력 단자를 3개 이상 갖춘 다입력 가산기이다. 기본형 회로에 직렬저항을 늘리면 다입력 가산기가 된다. 입력력 관계와 각 입력에 대한 전압 계인은 다음과 같다.

$$V_{out} = A_{v1}V_{in1} + A_{v2}V_{in2} + \dots + A_{vN}V_{inN} [V]$$

입력 1에 대한 전압 계인  $A_{v1} = -\frac{R_F}{R_1}$  [배]

입력 2에 대한 전압 계인  $A_{v2} = -\frac{R_F}{R_2}$  [배]

입력 N에 대한 전압 계인  $A_{vN} = -\frac{R_F}{R_N}$  [배]

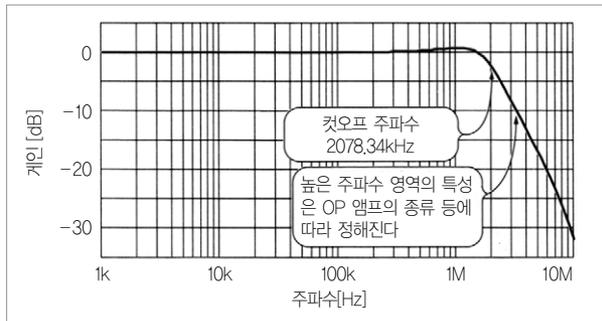


그림 6. 그림 4의 전압 계인  $A_{v1}$ 의 주파수 특성 ( $A_{v1}$ 은 입력 1의 전압 계인)

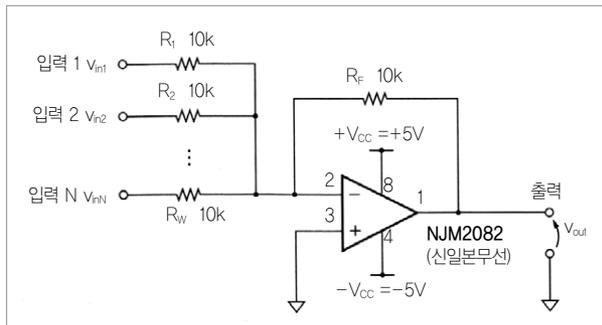


그림 7. 어레인지 또는 개량된 회로의 예 ① (다입력 가산기)

3. 개량 또는 어레인지된 회로의 예 ②

그림 8은 단전원으로 동작시킨 회로를 나타낸 것이다. OP 앰프의 비반전 입력 단자(그림 8에서는 3번 핀)에 +5V 전원의 중점 전압  $V_B = +2.5V$ 를 가하고  $C_1, C_2$ 에서 입력 신호의 직류 성분을 차단했다. 기타 회로상수는 기본형 회로와 똑같다.

(1) 동작 파형

그림 9는 그림 5와 똑같은 신호( $v_{in1} : 2V_{P-P}/1kHz$ 의 정현파,  $v_{in2} : 1V_{P-P}/1kHz$ 의 정현파)를 입력한 경우의 입출력 파형이다. 그림 5와는 세로축이 다르다는 점에 주의하기 바란다.  $v_{out}$ 은 가산 결과인  $3V_{P-P}$ 에  $V_B = +2.5V$ 의 직류 성분이 그대로 중첩된 파형이 된다.

(2) 주파수 특성

그림 10은 낮은 주파수 영역에서의  $A_{v1}$  주파수 특성이다 ( $v_{in2}=0V$ 로 하여 측정했다). 고역 측의 주파수 특성은 OP 앰프 IC로 결정되지만, 저역 측은 1차 하이 패스 필터의 특성(저

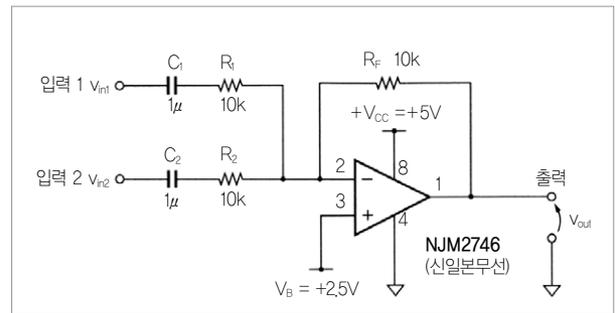


그림 8. 개량 또는 어레인지된 회로의 예 ② (단전원으로 동작시킨 회로)

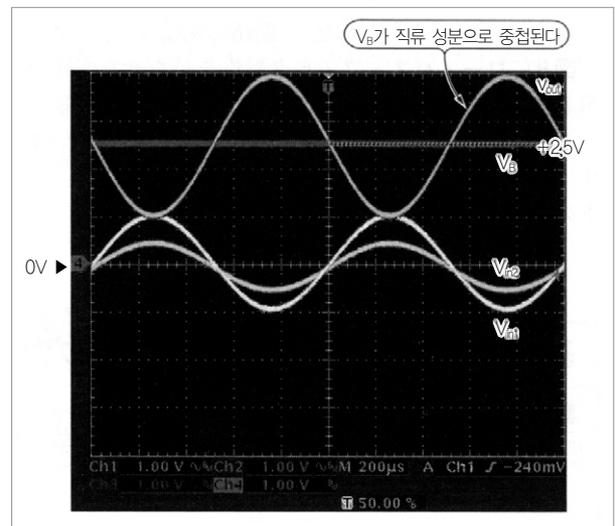


그림 9. 그림 8의 입출력 파형 (1V/div, 200µs/div.  $v_{in1} : 2V_{P-P}/1kHz$ 의 정현파,  $v_{in2} : 1V_{P-P}/1kHz$ 의 정현파)

역을 향해 20dB/dec의 기울기로 감쇠한다)이 된다. 하이 패스 필터의 컷오프 주파수  $f_{C1}$ 은 다음과 같이 정해진다.

$$f_{C1} = \frac{1}{2\pi C_1 R_1} \text{ [Hz]}$$

이 회로는  $f_{C1} = 16\text{Hz}$  ( $\approx 1/(2\pi \times 1\mu\text{F} \times 10\text{k}\Omega)$ )로 된다. 마찬가지로  $A_{v2}$ 의 주파수 특성도 저역 측이 1차 하이 패스 필터 특성으로 된다. 컷오프 주파수  $f_{C2}$ 는 다음과 같이 정해진다.

$$f_{C2} = \frac{1}{2\pi C_2 R_2} \text{ [Hz]}$$

#### 4. 개량 또는 어레인지된 회로의 예 ③

그림 11은 로우 패스 필터 특성을 부여한 회로이다. 귀환 저항  $R_F$ 에 콘덴서 C를 병렬 접속하여 로우 패스 필터 특성을 부여했다. 컷오프 주파수  $f_C$ 는  $A_{v1}$ ,  $A_{v2}$  모두 동일하며 다음과 같이 결정된다.

$$f_C = \frac{1}{2\pi C R_F} \text{ [Hz]}$$

##### (1) 주파수 특성

그림 12는  $A_{v1}$ 의 주파수 특성이다( $v_{in2} = 0\text{V}$ 로 하여 측정했다).  $f_C$ 는 1.6kHz ( $\approx 1/(2\pi \times 0.01\mu\text{F} \times 10\text{k}\Omega)$ )이다.  $f_C$ 보다 높은 주파수를 20dB/dec의 기울기로 감쇠(주파수가 10배로 되면 진폭이 1/10로 된다)시키면 1차 로우 패스 필터 특성이 된다.

#### 5. 참고문헌

(3), (5), (6), (17), (23)

#### 기본 회로 ⑳ : 가산 회로 비반전 앰프형

여러 입력 신호의 진폭을 합할 수 있다. 입력 신호는 반전되

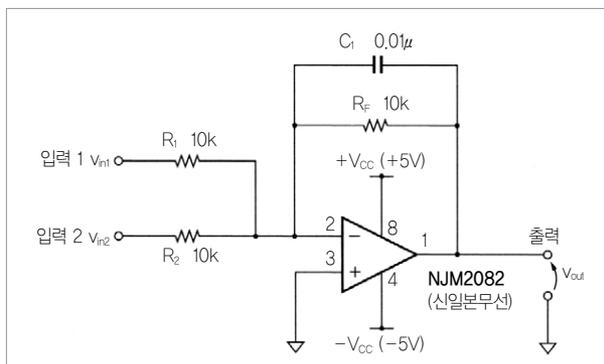


그림 11. 개량 또는 어레인지된 회로의 예 ③ (로우 패스 필터 특성을 부여한 회로)

지 않고 출력된다. 입력 채널별로 전압 게인을 설정할 수 있다. 직류에서 수십MHz까지의 회로에 사용된다(그림 13).

#### 1. 계산식

$$\text{출력 전압 } v_{out} = A_{v1}v_{in1} + A_{v2}v_{in2} \text{ [V]}$$

$$\cdot \text{입력 1에 대한 전압 게인 } A_{v1} = \frac{R_2}{R_1 + R_2} \left(1 + \frac{R_F}{R_S}\right) \text{ [배]}$$

$$\cdot \text{입력 2에 대한 전압 게인 } A_{v2} = \frac{R_1}{R_1 + R_2} \left(1 + \frac{R_F}{R_S}\right) \text{ [배]}$$

#### 2. 참고문헌

(5), (6), (23)

#### 기본 회로 ㉑ : 가감산 회로 차동 앰프형

여러 입력 신호의 진폭을 합하거나 뺄 수 있다. 직류에서 수십MHz까지의 회로에 사용된다(그림 14).

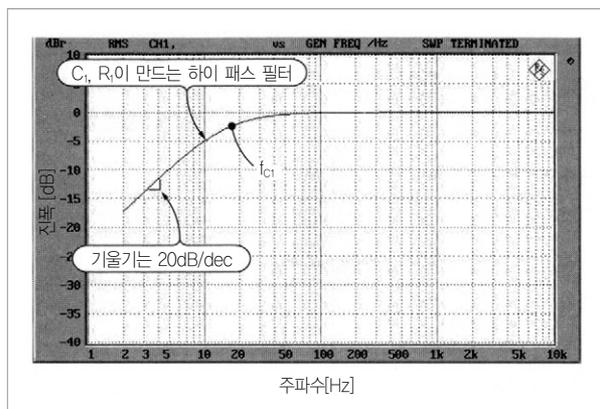


그림 10. 그림 8의 전압 게인  $A_{v1}$ 의 주파수 특성 (낮은 주파수 영역,  $A_{v1}$ 은 입력 1의 전압 게인)

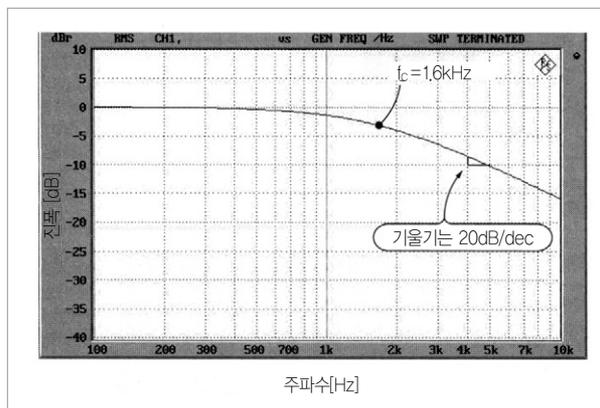


그림 12. 그림 11의 전압 게인  $A_{v1}$ 의 주파수 특성 ( $A_{v1}$ 은 입력 1의 전압 게인)



1. 계산식

$$\begin{aligned}
 \text{출력 전압 } v_{out} &= \frac{R_M}{R_F} R_F \left( \frac{v_{P1}}{R_{P1}} + \frac{v_{P2}}{R_{P2}} + \dots + \frac{v_{PN}}{R_{PN}} \right) \\
 &\quad - R_F \left( \frac{v_{M1}}{R_{M1}} + \frac{v_{M2}}{R_{M2}} + \dots + \frac{v_{MN}}{R_{MN}} \right) [V]
 \end{aligned}$$

$R_P$  :  $R_{P1}, R_{P2}, \dots, R_{PN}$ 을 모두 병렬 접속한 저항값 [ $\Omega$ ]

$R_M$  :  $R_{M1}, R_{M2}, \dots, R_{MN}$ 을 모두 병렬 접속한 저항값 [ $\Omega$ ]

2. 참고문헌

(5), (6), (23)

기본 회로 ㉓ : 미분 회로 반전 앰프형

입력 신호의 진폭이 시간으로 미분되어 출력된다. 각종 아날로그와 제어 회로 등에 사용된다(그림 15).

1. 계산식

전압 게인이 1배로 되는 주파수이다.

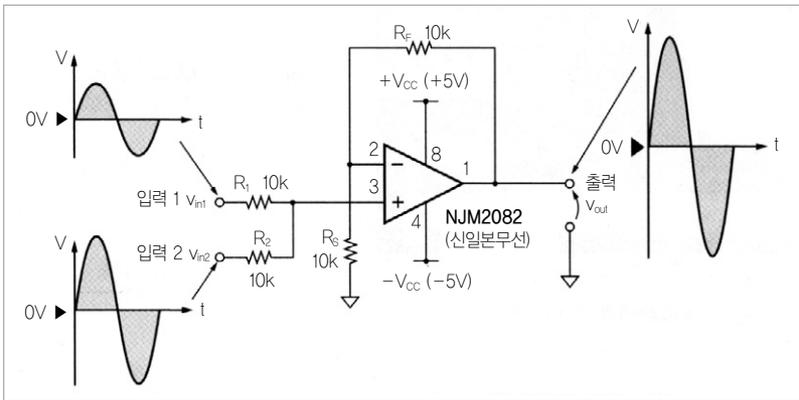


그림 13. 회로도

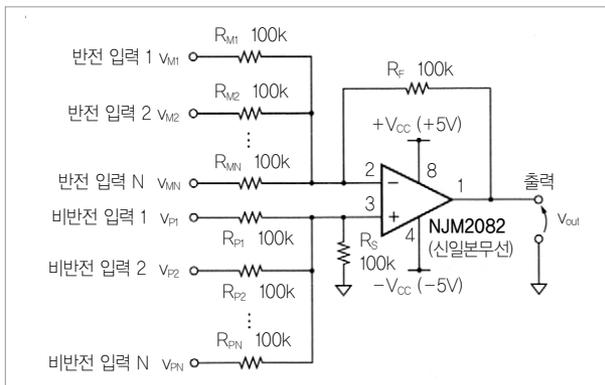


그림 14. 회로도

$$f_i = \frac{1}{2\pi CR} [\text{Hz}]$$

2. 참고문헌

(3), (5), (6), (23)

기본 회로 ㉔ : 전파 정류 회로 고정밀 출력형

입력 신호에 비례하는, 매우 정밀한 절대값이 출력된다. 100kHz 정도까지의 저주파 회로에 사용된다.

1. 계산식

입력과 출력의 관계 : 출력 전압  $v_{out} = \frac{R_F}{R_S} |v_{in}| [V]$

단,  $\frac{R_2 R_S}{R_1 R_3} = 2$ 라고 한다

2. 기본형

그림 16에 나타난 회로는 마이너스 반파를 출력하는 반전 앰프형 반파 정류 회로의 출력(㉔점)과 입력 신호를 반전 앰프형 가산기로 합성함으로써 전파 정류를 실시한다. 출력은 모두 플러스 측 신호로 되므로 절대값 회로라고도 한다.

그림 17은 1V<sub>p-p</sub>의 정현파(피크 전압은 ±0.5V<sub>peak</sub>)를 입력한 경우 각 주파수의 입출력 파형이다. v<sub>in</sub>을 전파 정류한 출력 v<sub>out</sub>을 얻을 수 있다. v<sub>out</sub>의 진폭은 0.5V<sub>peak</sub>(= 20k $\Omega$ /20k $\Omega$  × |±0.5V<sub>peak</sub>|)로 된다.

신호 주파수가 높아지면 v<sub>out</sub>의 상승 부

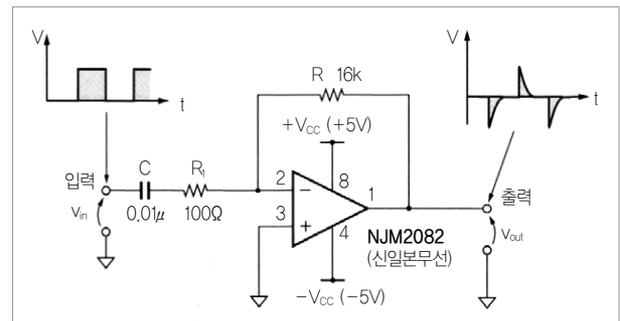


그림 15. 회로도

분 변형이 눈에 띈다. 이것은 반전 앰프형 반파 정류 회로의 출력 변형이 그대로 나타난 것이다.

### 3. 참고문헌

(3), (4), (5), (6)

### 기본 회로 ㉓ :

#### 적분 회로 반전 앰프형

입력 신호의 진폭이 시간으로 적분되며 반전, 출력된다. 제어 회로 등에 사용된다.

#### 1. 계산식

전압 게인이 1배로 되는 주파수이다.

$$f_1 = \frac{1}{2\pi CR} \text{ [Hz]}$$

### 2. 기본형

그림 18은 귀환 루프에 삽입한 콘덴서 C이며 입력 신호  $V_{in}$  을 전하 형태로 축적함으로써 적분 기능을 실현하고 있다. 전압 게인이 1배로 되는 주파수  $f_1$ 은 C와 R에 따라 결정된다.  $R_1$  은 직류 영역의 전압 게인을 낮춰 출력 단자에 발생하는 직류

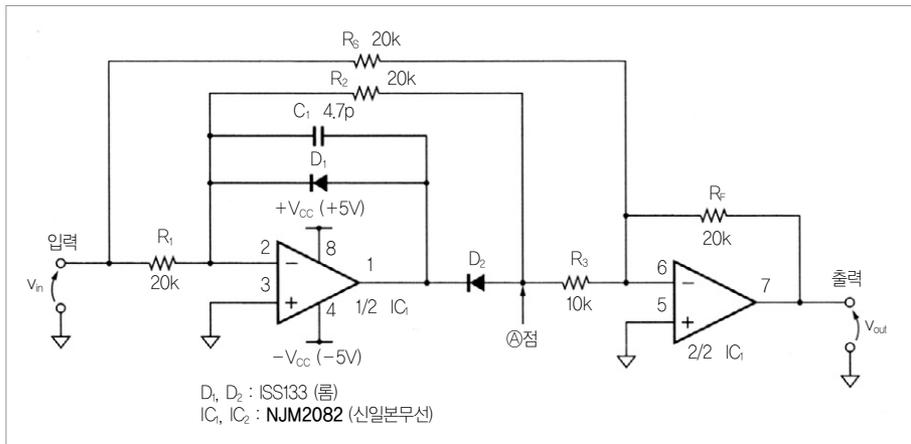


그림 16. 회로도

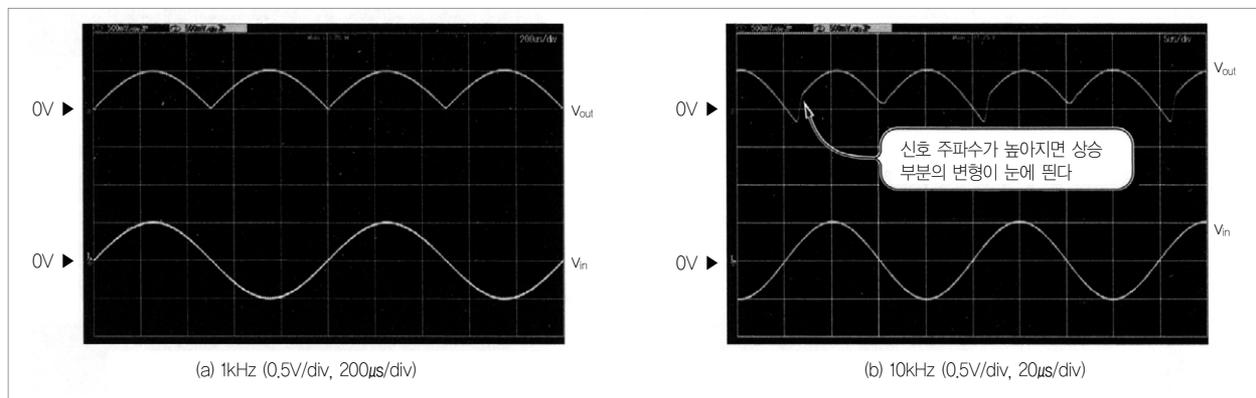


그림 17. 그림 16의 입출력 파형

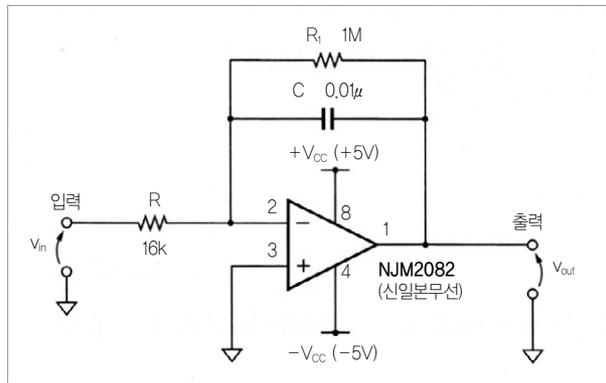


그림 18. 회로도

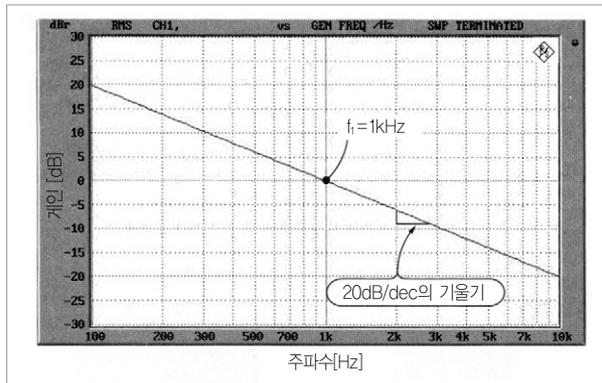


그림 19. 그림 18의 출력 진폭 주파수 특성

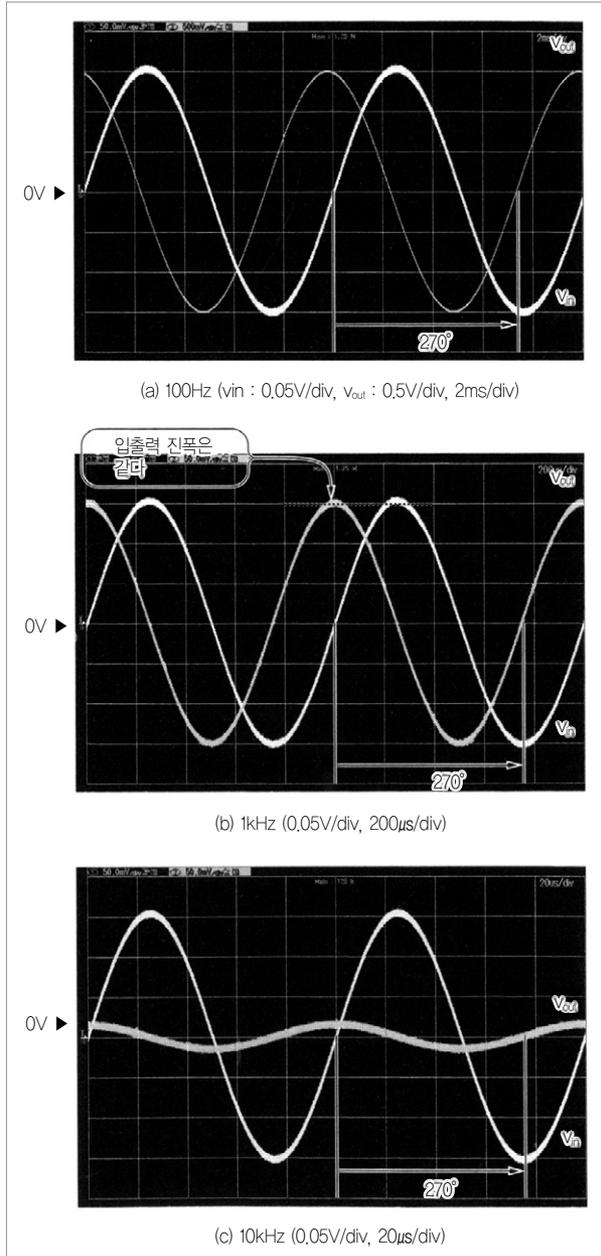


그림 20. 그림 18의 입력력 파형 (입력은  $0.3V_{p-p}$ 의 정현파)

오프셋 전압을 억제하기 위한 저항이다.

이 회로의 형태는 반전 앰프형 1차 로우 패스 필터와 똑같다. 적분기는 특징적으로  $R_1$ 이 고저항(수백k~수M $\Omega$ )으로 된다. 이로 인해, 이 회로는 컷오프 주파수가 매우 낮은 반전 앰프형 1차 로우 패스 필터(기본 회로)라고도 생각할 수 있다.

(1) 주파수 특성

그림 19는 출력 진폭의 주파수 특성이다.  $f_1=1kHz(\approx 1/(2\pi \times 0.01\mu F \times 16k\Omega))$ 에서 전압 게인이 0dB로 되는 점을 통과하

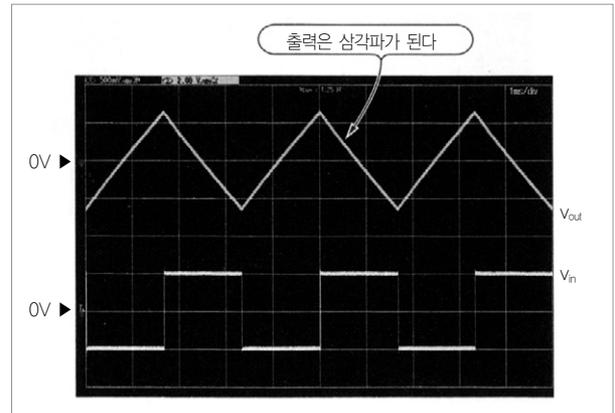


그림 21. 그림 18의 방형파 응답 ( $v_{in} : 0.5V/div, v_{out} : 2V/div, 1ms/div$ , 입력은  $1V_{p-p}/300Hz$ 의 방형파)

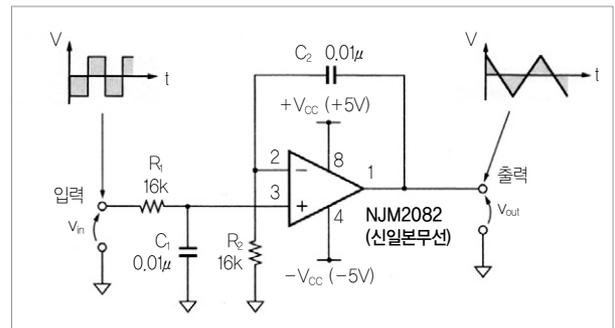


그림 22. 회로도

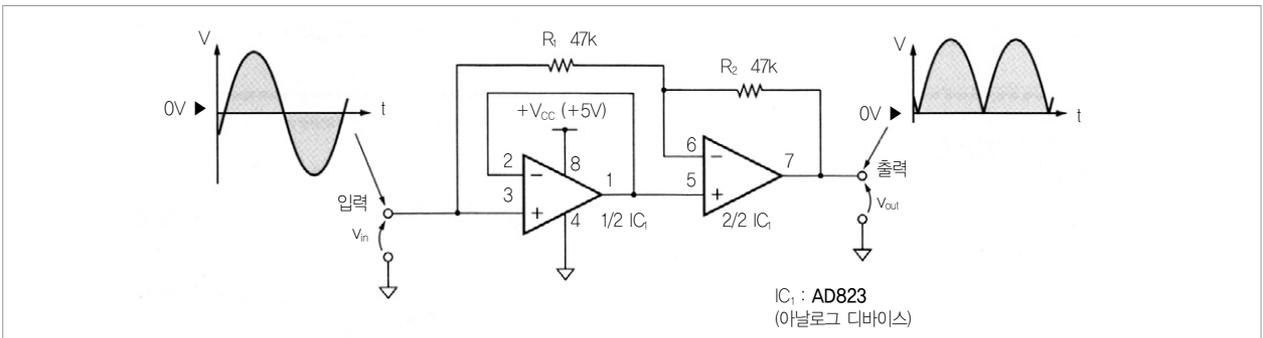


그림 23. 회로도

여 20dB/dec의 기울기(주파수가 10배로 되면 진폭이 1/10로 된다)로 일정하게 감쇠하는 특성이 된다.

(2) 동작 파형

그림 20은 0.3V<sub>P-P</sub>의 정현파를 입력했을 경우 각 주파수의 입출력 파형이다.

그림 20(a)의 v<sub>out</sub>은 다른 것과 세로축이 다르다는 데 주의해야 한다. 100Hz에서는 출력이 입력의 10배(+20dB)가 된다. 1kHz에서는 입출력이 동일한 진폭으로 되며, 10kHz에서는 출력이 입력의 1/10(-20dB)로 된다. 출력의 위상은 주파수에 관계없이 입력보다 항상 270° 지연된다.

(3) 방형파 응답

그림 21은 1V<sub>P-P</sub>/300Hz의 방형파를 입력한 경우의 입출력 파형이다. 적분기에 방형파를 입력하면 출력은 삼각파로 된

다. 삼각파의 변화점은 방형파의 상승/하강 에지와 일치한다.

3. 참고문헌

(3), (5), (6), (23)

기본 회로 ⑭ : 적분 회로 비반전 앰프형

입력 신호의 진폭이 시간으로 적분되며 반전되지 않고 출력 된다. 제어 회로 등에 사용된다(그림 22).

1. 계산식

전압 게인이 1배로 되는 주파수이다.

$$f_1 = \frac{1}{2\pi CR} \text{ [Hz], 단, } C=C_1=C_2, R=R_1=R_2$$

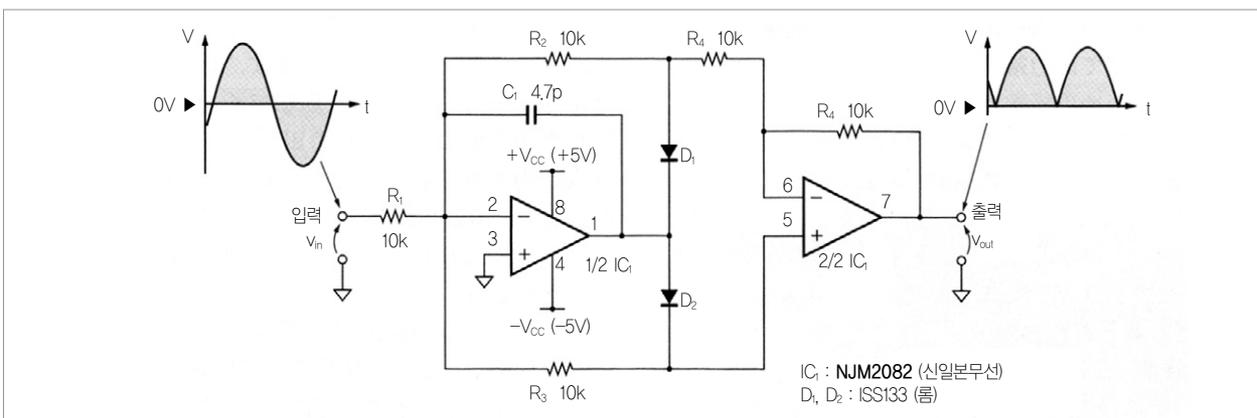


그림 24. 회로도

OP 앰프의 동작은 단순하다

OP 앰프를 사용하면 증폭 회로나 연산 회로, 파일 회로 등 다양한 기능의 회로를 만들 수 있다. 초보자 입장에서는 OP 앰프가 마법의 다기능 디바이스처럼 보일 수도 있다. 그러나 OP 앰프가 담당하는 것은 입력 단자 2개 사이의 전압을 크게 증폭하는 하나의 단순한 동작이다.

그림 A와 같이 회로 내에서 동작하는 OP 앰프의 입출력 전압은 다음과 같은 관계를 갖는다.

$$v_{out} = (v_+ - v_-)A$$

A는 OP 앰프가 본래 갖고 있던 전압 게인이며(오픈 루프 게인이라고 한다), 일반적인 OP 앰프에서는 10만 배(100dB) 이상의 거대

한 값이다. 즉, OP 앰프는 2개의 입력 단자 전압(v<sub>+</sub> - v<sub>-</sub>) 차이를 거대하게 증폭하고 있는 것뿐이다. 이것은 사용하는 모든 회로와 모든 품종의 OP 앰프에서 동일하다.

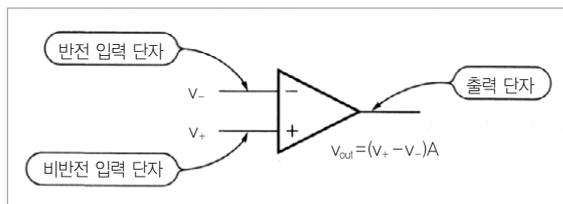


그림 A. OP 앰프는 입력 단자 2개의 전압 차이를 거대하게 증폭하는 것뿐이다

2. 참고문헌

(3), (5), (6), (23)

기본 회로 35: 전파 정류 회로 단전원형

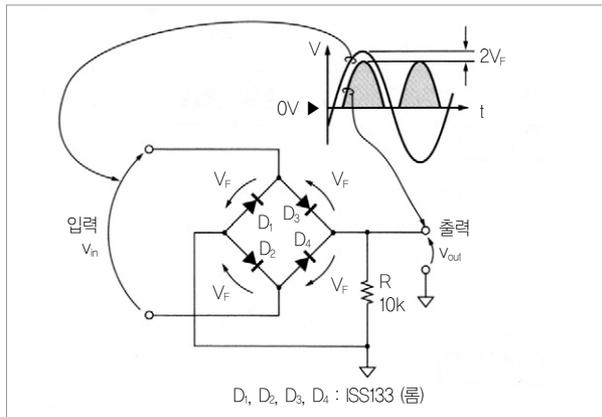
입력 신호의 절대값이 OP 앰프에서 출력된다. OP 앰프 입력 단자의 절대 최대 정격은 마이너스 전원의 전위 이하여야 한다(그림 23).

1. 계산식

출력 전압  $v_{out} = |v_{in}|$  [V]. 단,  $R_1=R_2$

기본 회로 36: 전파 정류 회로 고정밀 출력형

입력 신호에 비례하는 고정밀도의 절대값이 출력된다. 100kHz 정도까지의 저주파 회로에 사용된다(그림 24).



D<sub>1</sub>, D<sub>2</sub>, D<sub>3</sub>, D<sub>4</sub> : ISS133 (툼)

그림 26. 회로도

1. 계산식

출력 전압  $v_{out} = |v_{in}|$  [V]. 단,  $R_1=R_2=R_3=R_4=R_5$

2. 참고문헌

(3), (5), (6)

기본 회로 37: 전파 정류 회로 고정밀 출력형

입력 신호에 비례하는 고정밀도의 절대값이 출력된다. 100kHz 정도까지의 저주파 회로에 사용된다. 입력 임피던스가 높다(그림 25).

1. 계산식

출력 전압  $v_{out} = |v_{in}|$  [V].

단,  $\frac{R_2 R_4}{R_1 R_3} = 2$ 라고 한다.

2. 참고문헌

(3), (5), (6)

기본 회로 38: 전파 정류 회로 다이오드 브리지형

입력 신호의 절대값이 출력된다. 다이오드 순방향 전압의  $\times 2$  전압 강하에 주의한다(그림 26).

1. 계산식

$|v_{in}| \leq 2V_F$  일 때 출력 신호  $v_{out} = 0V$

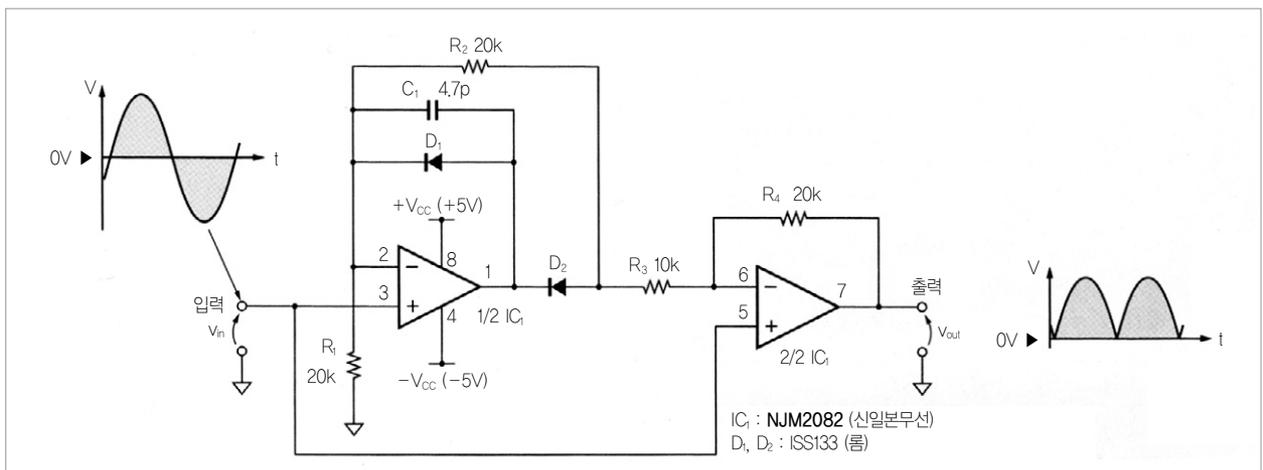


그림 25. 회로도

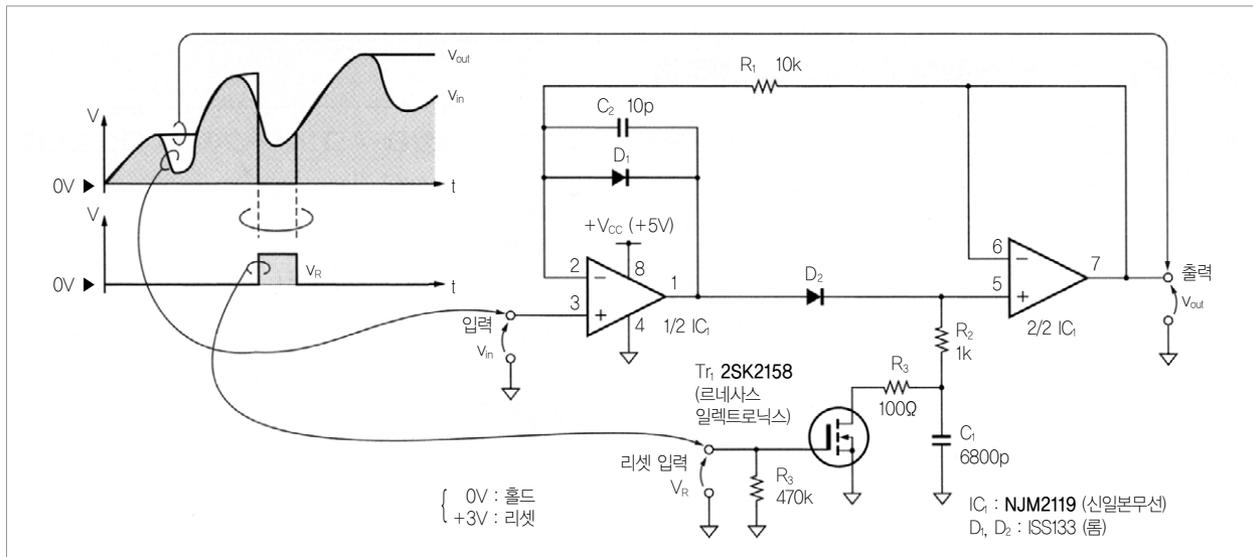


그림 27. 회로도

$2V_F < |v_{in}|$  일 때  $v_{out} = |v_{in}| - 2V_F$  [V]  
 $V_F$  는 다이오드의 순방향 전압 강하이다.

다. 리셋 신호에서 출력 0V로 된다(그림 27).

2. 참고문헌

(4)

1. 계산식

출력 신호  $v_{out}$  = 플러스 최대값( $v_{in}$ ) [V]

기본 회로 39 : 피크 홀드 회로

입력 신호의 플러스 최대값을 순차적으로 갱신하여 출력한

2. 참고문헌

(3), (5), (6)



# 태양광 풍력발전과 계통 연계기술

甲斐 隆章 · 藤本 敏郎 공저  
 광운대학교 전기공학과 교수 송승호 번역

4×변형판 / 208면 / 값 19,000원

태양광 · 풍력발전을 중심으로 이들의 개요와 「태양광 발전시스템」 「풍력발전시스템」의 원리와 구성 등을 평이하게 설명했다. 또한 태양광발전·풍력발전 등의 분산형 전원의 계통연계에 보안 확보와 전력 품질 유지에 관해서 자세히 설명했다.

성안당 도서 문의는 [cyber.co.kr](http://cyber.co.kr) 또는 031-955-0511



本記事는 日本 CQ出版社가 發行하는 「トランジスタ技術」誌와의 著作権 協定에 依據하여 提供받은 資料입니다.

액추에이터를 구동하거나 디지털 신호에서 아날로그 신호를 복조한다

# 5 전압-전류 변환 회로와 전류-전압 변환 회로

鈴木 雅臣

## 기본 회로 ④① : 반전형 전압-전류 변환 회로

액추에이터나 센서 등 접지한 부하를 전압 제어로 구동할 수 있다. 입력 신호는 반전하여 출력된다(그림 1).

### 1. 계산식

출력 전류  $i_{out} = -\frac{R_2}{R_1 R_5} v_{in}$  [A]. 단,  $\frac{R_4}{R_3} = \frac{R_2}{R_1}$  라고 한다.

$i_{out}$ 의 극성은 부하로 유출되는 방향을 플러스로 한다.

### 2. 참고문헌

(5), (6), (23) - 본지 50쪽 참조

## 기본 회로 ④② : 반전형 전류-전압 변환 회로

포토 다이오드나 전류 출력형 센서의 수신 앰프, 전류 출력형

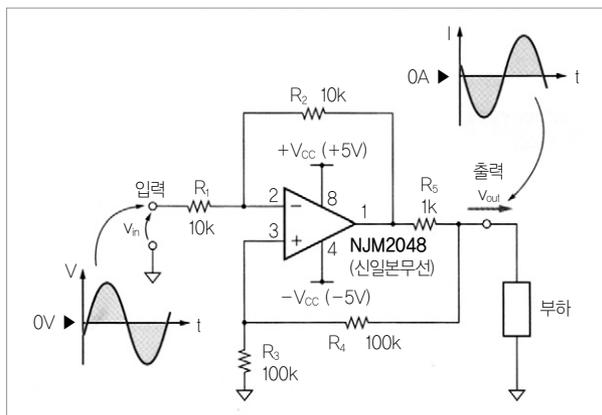


그림 1. 회로도

D-A 컨버터의 아날로그 신호 재생에 사용되고 있다(그림 2).

### 1. 계산식

출력 전압  $v_{out} = -i_{in} R$

$i_{out}$ 의 극성은 회로에 유입되는 방향을 플러스로 한다.

### 2. 참고문헌

(3), (5), (6), (9), (13), (23)

## 기본 회로 ④③ : 비반전형 전압-전류 변환 회로

액추에이터나 센서 등 접지한 부하를 전압 제어로 구동할 수 있다. 입력 전압이 플러스일 때 출력 전류를 부하로 내보낸다. 입력 신호는 반전되지 않고 출력된다(그림 3).

### 1. 계산식

출력 전류  $i_{out} = \frac{R_2}{R_1 R_5} v_{in}$  [A]. 단,  $\frac{R_4}{R_3} = \frac{R_2}{R_1}$  라고 한다.

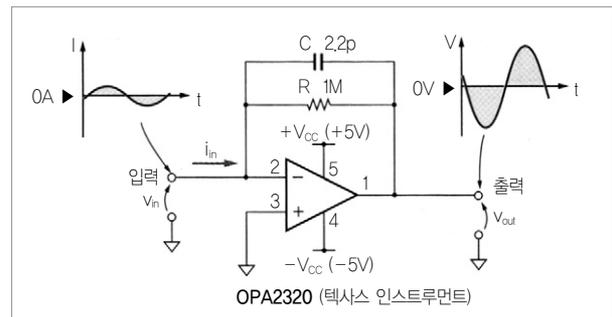


그림 2. 회로도

$i_{out}$ 의 극성은 부하로 유출되는 방향을 플러스로 한다.

2. 참고문헌

(5), (6), (23)

기본 회로 ④3 : 비반전형 고정밀 전압-전류 변환 회로

출력 전류를 정밀하게 설정할 수 있다. 센서나 액추에이터 등 접지한 부하를 전압 제어로 구동한다. 입력 신호는 반전되지 않고 출력된다(그림 4).

1. 계산식

$$i_{out} = \frac{R_2}{R_1 R_5} V_{in} [A]$$

단,  $\frac{R_4}{R_3} = \frac{R_2}{R_1}$  라고 한다.

2. 참고문헌

(5), (6), (23)

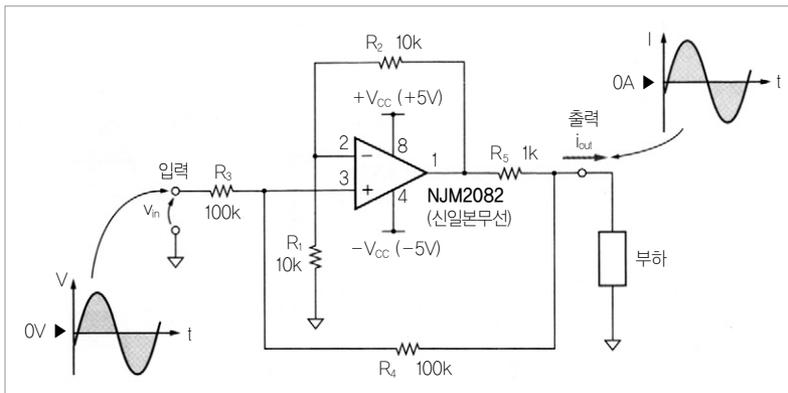


그림 3. 회로도

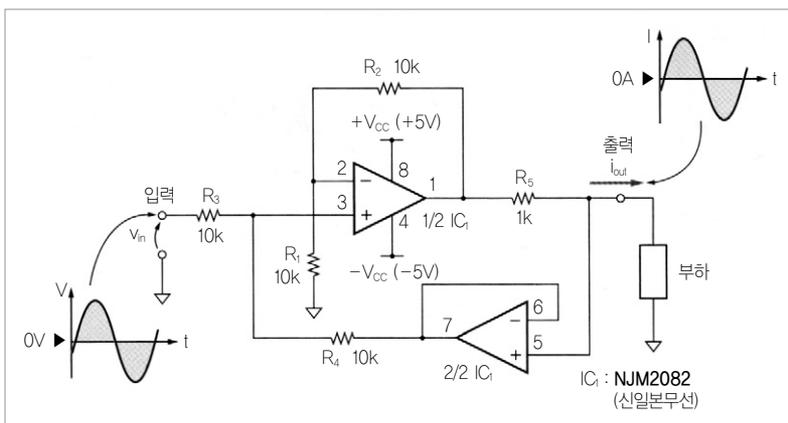


그림 4. 회로도

콘덴서의 회로도 기호에 붙어 있는 + 마크의 의미

콘덴서에는 유극성 콘덴서와 무극성 콘덴서가 있다. 알루미늄 전해 콘덴서나 도전성 고분자 알루미늄 고체 전해 콘덴서는 용량을 늘리기 위해 두 전극의 구조를 비대칭으로 하므로 유극성 콘덴서로 된

다(무극성 알루미늄 전해 콘덴서도 있다). 콘덴서의 회로 기호에서 + 마크가 있는 쪽이 양극이고 다른 쪽이 음극이다. 그림 A와 같이 유극성 콘덴서는 직류 전위가 높은 쪽에 양극을 접속하여 사용한다.

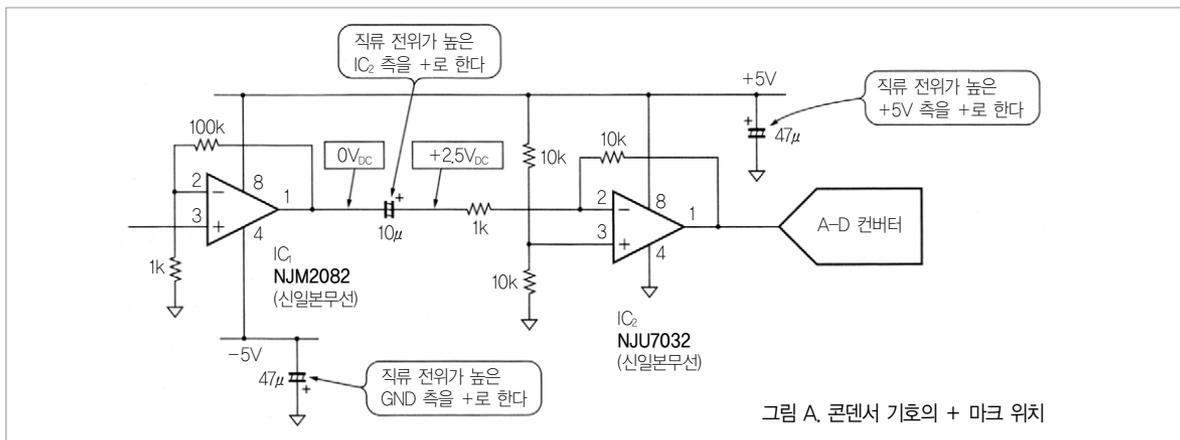


그림 A. 콘덴서 기호의 + 마크 위치



### 기본 회로 44: 차동형 전류-전압 변환 회로

전류원 두 개의 차이만큼 전압으로 변환한다. 차동 전류 출

력형 센서나 D-A 컨버터의 출력 전류를 전압으로 변환한다 (그림 5).

## OP 앰프 각 단자의 의미

그림 B는 OP 앰프의 회로 기호를 나타낸 것이다. 증폭기를 나타내는 삼각형 마크에서 많은 단자가 나와 있다.

### 1. 입력 단자

마이너스와 플러스 기호의 가로에서 나와 있는 것이 2개의 입력 단자이다. 외부의 신호나 출력 단자에서 되돌아오는 귀환 신호를 입력한다.

‘-’가 표시되어 있는 단자에 입력한 신호와 출력 단자 신호는 플러스와 마이너스의 극성이 반전되어 있다. 따라서 이 입력 단자를 반전 입력 단자라고 한다. ‘+’가 표시되어 있는 입력 단자는 입출력 극성이 반전되지 않으므로 비반전 입력 단자라고 한다.

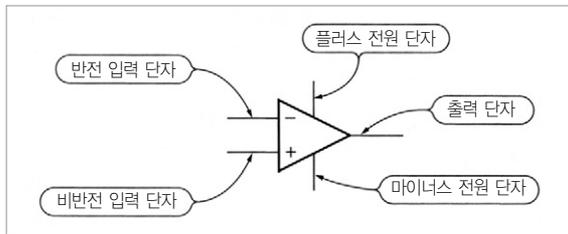


그림 B. OP 앰프의 단자

### 2. 출력 단자

삼각형의 꼭지점에서 나와 있는 것이 출력 단자이다. 입력 단자의 신호를 증폭하여 출력한다.

### 3. 전원 단자

전위가 높은 쪽 전원을 접속하는 것이 플러스 전원 단자, 전위가 낮은 쪽 전원을 접속하는 것이 마이너스 전원 단자이다. 마이너스 전원 단자는 플러스, 마이너스 2전원으로 동작할 경우 마이너스 전원을 접속하지만 단일 전원으로 동작시킬 경우에는 GND에 접속한다.

그림 C와 같이 패키지 하나에 여러 회로의 OP 앰프를 내장한 IC에서는 패키지 내에 있는 하나의 OP 앰프 기호만으로 전원 단자를 그리고, 기타 OP 앰프 기호에는 전원 단자를 그리지 않는 것이 일반적이다.

### 4. 그밖의 단자

많은 OP 앰프는 입력, 출력, 전원 단자뿐이지만 그림 D와 같이 특수한 단자를 가진 OP 앰프도 있다.

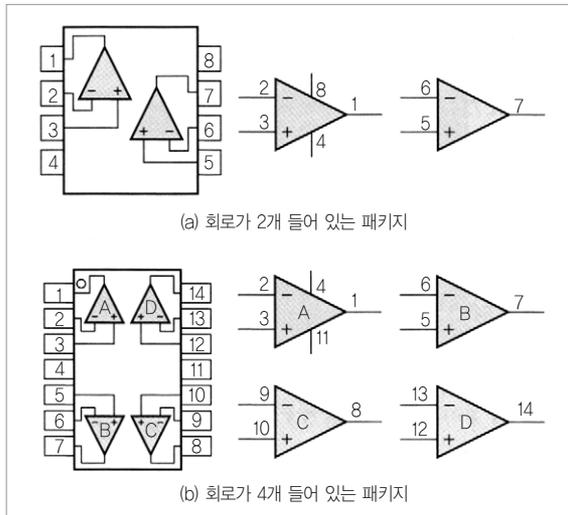


그림 C. 여러 개의 회로가 들어 있는 패키지 단자

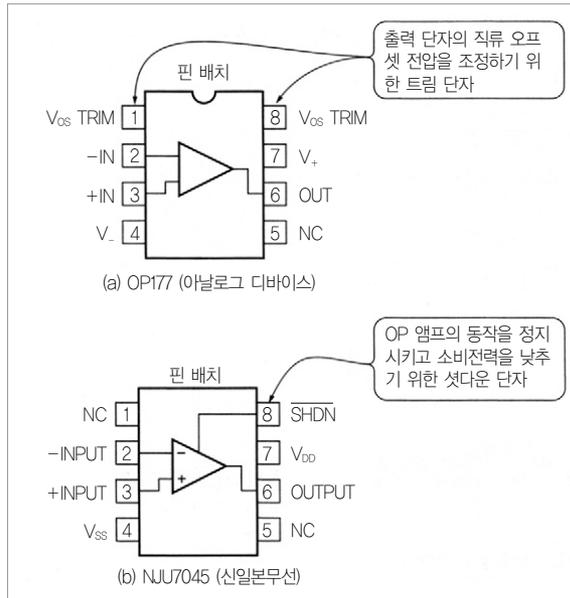


그림 D. 특수한 단자를 가진 OP 앰프의 예

## OP 앰프? 콤퍼레이터? 어느 쪽인가?

그림 E는 OP 앰프와 콤퍼레이터의 회로 기호를 나타낸 것이다. 양쪽의 기호는 기본적으로 똑같다. 회로도에서는 구별할 수 없다. 그러나 그 소자가 OP 앰프인지 콤퍼레이터인지는 회로의 동작을 이해하는 데 있어서 매우 중요한 정보이다. 소자 모델 번호를 알 수 있을 경우 데이터시트를 보면 구별할 수 있지만 이것도 번거롭다. 이럴 때에는 부귀환의 유무로 판단하면 될 것이다.

마이너스 기호가 표기되어 있는 반전 입력 단자에 출력 단

자로부터 신호가 되돌아오면 부귀환이 걸려 있으므로 그 소자는 OP 앰프이다. 부귀환이 걸려 있지 않으면 콤퍼레이터이다.

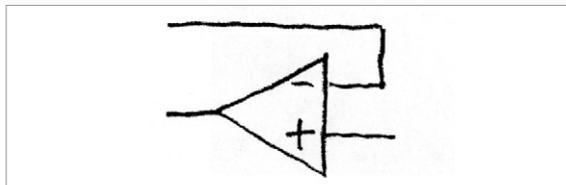


그림 E. OP 앰프와 콤퍼레이터의 회로도 기호는 동일하다

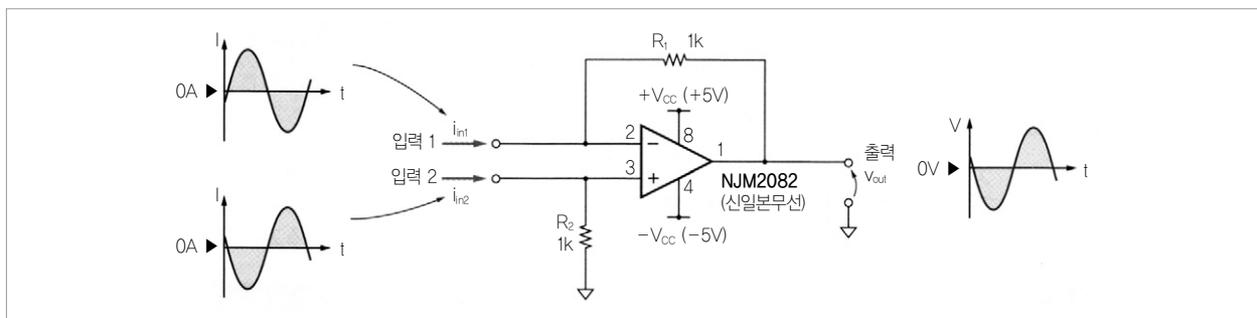


그림 5. 회로도

### 1. 계산식

출력 전압  $v_{out} = (i_{in2} - i_{in1})R_1$  [V]. 단,  $R_2 = R_1$ 이라고 한다.  
 $i_{in1}$ ,  $i_{in2}$ 의 극성은 회로에 유입되는 방향을 플러스로 한다.

### 2. 참고문헌

(9)

### 기본 회로 ④5 : 반전형 고정밀 전압-전류 변환 회로

출력 전류를 정밀하게 설정할 수 있다. 센서나 액추에이터 등 접지한 부하를 전압 제어로 구동한다. 입력 신호는 반전 출력된다(그림 6).

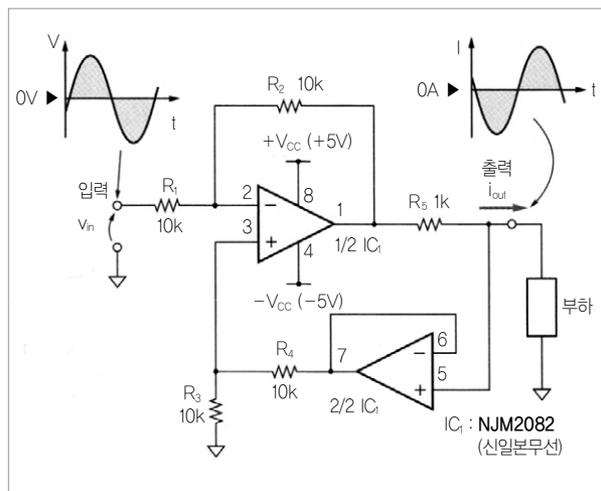


그림 6. 회로도

### 1. 계산식

출력 전류  $i_{out} = -\frac{R_2}{R_1 R_5} v_{in}$  [A].

단,  $\frac{R_4}{R_3} = \frac{R_2}{R_1}$ 라고 한다.

$i_{out}$ 의 극성은 부하로 유출되는 방향을 플러스로 한다.

### 2. 참고문헌

(5), (6), (23)



本記事는 日本 CQ出版社가 發行하는 「トランジスタ技術」誌와의 著作権 協定에 依據하여 提供받은 資料입니다.

마이컴/디지털 IC 주변에서 널리 사용된다

# 6

## 리미터/컴퍼레이터/리셋/ 샘플&홀드 외

鈴木 雅臣

### 기본 회로 ④6: 마이너스 전압 입력 리미터

앞단의 회로나 센서 등이 출력된다. 마이너스 측 과대 전압이 IC의 입력 단자에 가해지지 않도록 제한한다.

#### 1. 계산식

제한 전압  $V_L = GND - V_F$  [V]. 단,  $V_F$ 는 D의 순방향 전압 강하이다.

#### 2. 기본형

그림 1에 나타난 회로는 제한 전압  $V_L$ 보다 낮은 신호가 입력되면 다이오드 D가 ON되어 출력 신호의 전압 진폭을 제한하는 리미터 회로이다.

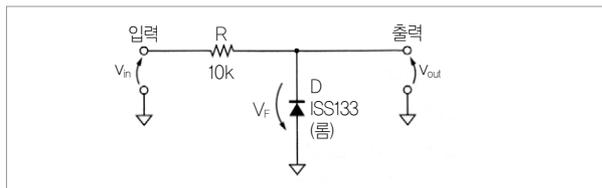


그림 1. 회로도

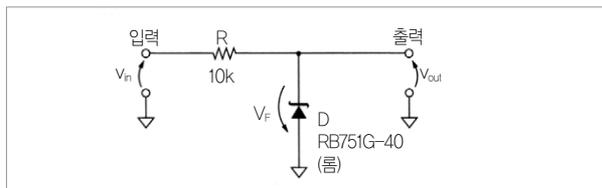


그림 3. 개량 또는 어레인지된 회로의 예 ① (허용 입력 전압 범위가 좁은 마이컴이나 OP 앰프 등의 입력 보호 회로)

#### (1) 동작 파형

그림 2는  $7V_{p-p}/1kHz$ 의 정현파를 입력한 경우의 입출력 파형이다. 여기서 사용한 소신호 실리콘 다이오드 ISS133의 순방향 전압 강하  $V_F$ 는 약 0.5V이다. 출력 신호  $v_{out}$ 은  $V_L = -0.5V (= 0V - 0.5V)$ 로 진폭이 제한된다.

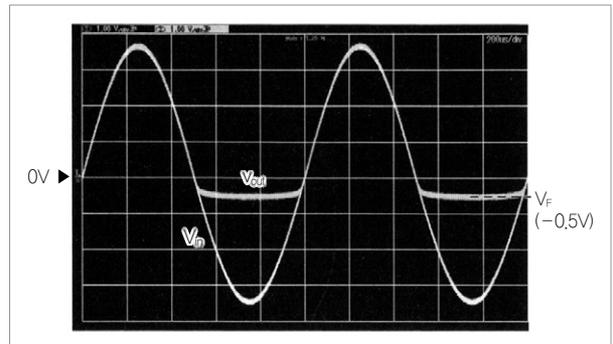


그림 2 그림 1의 입출력 파형 (1V/div, 200μs/div, 입력은  $7V_{p-p}/1kHz$ 의 정현파, 소신호 실리콘 다이오드 ISS133의 순방향 전압 강하  $V_F$ 는 약 0.5V)

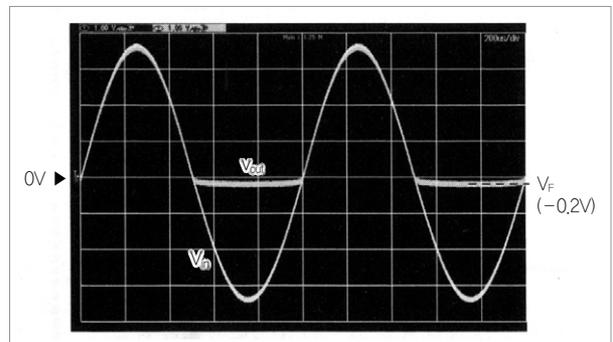


그림 4. 그림 3의 출력신호  $v_{out}$ 은  $-0.2V$ 로 진폭이 제한된다 (1V/div, 200μs/div, 입력은  $7V_{p-p}/1kHz$ 의 정현파, 쇼트키 배리어 다이오드 RB751G-40의 순방향 전압 강하  $V_F$ 는 약 0.2V)

### 3. 개량 또는 어레인지된 회로의 예 ①

그림 3은 D를 소신호 쇼트키 배리어 다이오드 RB751G-40으로 치환한 회로이다.

#### (1) 동작 파형

그림 4는  $7V_{P-P}/1kHz$ 의 정현파를 입력한 경우의 입출력 파형이다. 여기서 사용한 쇼트키 배리어 다이오드 RB751G-40의  $V_F$ 는 약  $0.2V$ 이다.  $v_{out}$ 은  $V_L \approx -0.2V (= 0V - 0.2V)$ 로 진폭이 제한된다. 그림 3의 회로는 제한하는 전압을 기본형 회로보다 GND 전위에 근접시킬 수 있으므로, 허용 입력 전압 범위가 좁은 마이컴이나 OP 앰프 등 입력 보호 회로에 사용된다.

### 4. 개량 또는 어레인지된 회로의 예 ②

그림 5는 제너 다이오드 HZ2A3으로 치환한 회로이다. 제너 다이오드를 사용하면 마이너스 측 전압 진폭뿐 아니라 플러스 측 전압 진폭도 제한할 수 있다. 플러스 측 제한 전압  $V_{L+}$ 와 마이너스 측 제한 전압  $V_{L-}$ 는 다음과 같이 결정된다.

$$V_{L+} = +V_Z [V], V_{L-} = GND - V_F [V]$$

단,  $V_Z$ 는 D의 제너 전압,  $V_F$ 는 D의 순방향 전압 강하이다.

#### (1) 동작 파형

그림 6은  $7V_{P-P}/1kHz$ 의 정현파를 입력한 경우의 입출력 파형을 나타낸 것이다. 여기서 사용한 HZ2A3은  $V_Z \approx 1.9V$ ,  $V_F \approx 0.5V$ 로 된다.  $v_{out}$ 은  $V_{L+} \approx +1.9V (= +V_Z)$ 와  $V_{L-} \approx -0.5V (= 0V - 0.5V)$ 로 진폭이 제한된다.

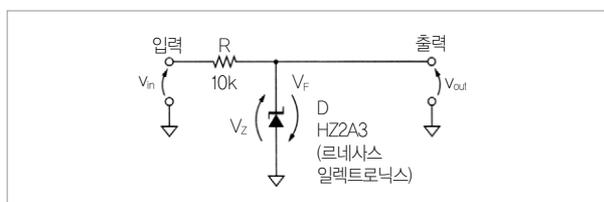


그림 5. 개량 또는 어레인지된 회로의 예 ② (마이너스 측뿐만 아니라 플러스 측의 진폭도 제한할 수 있다)

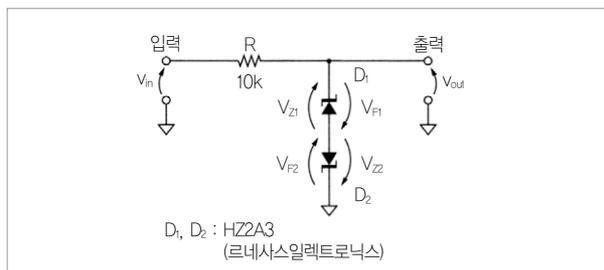


그림 7. 회로도

### 5. 참고문헌

(4), (5), (6), (7), (12) - 본지 50쪽 참조

### 기본 회로 ④7: 플러스, 마이너스 전압 입력 리미터(제너 다이오드 2개 사용)

앞단의 회로가 출력하는 플러스 측과 마이너스 측의 과대 전압을 제너 전압으로 제한한다. IC의 입력 단자에 과전압이 가해지지 않도록 하는 보호 회로에 사용된다.

#### 1. 계산식

- 플러스 측 제한 전압  $V_{L+} = +V_{Z1} + V_{F2} [V]$
- 마이너스 측 제한 전압  $V_{L-} = -V_{Z2} - V_{F1} [V]$

단,  $V_{Z1}$ 은  $D_1$ 의 제너 전압,  $V_{Z2}$ 는  $D_2$ 의 제너 전압,  $V_{F1}$ 은  $D_1$ 의 순방향 전압 강하,  $V_{F2}$ 는  $D_2$ 의 순방향 전압 강하이다.

#### 2. 기본형

그림 7의 회로는 플러스 측 제한 전압  $V_{L+}$ 보다 높은 신호가 입력될 경우,  $D_1$ 이 브레이크 다운되어 제너 다이오드 양단의 전압이 제너 전압으로 제한된다. 동시에  $D_2$ 가 ON되어 플러스

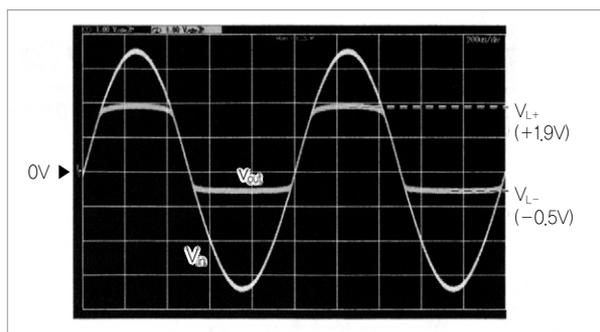


그림 6. 그림 5의 출력신호  $v_{out}$ 은  $+1.9V/-0.5V$ 로 진폭이 제한된다 (1V/div, 200 $\mu$ s/div)

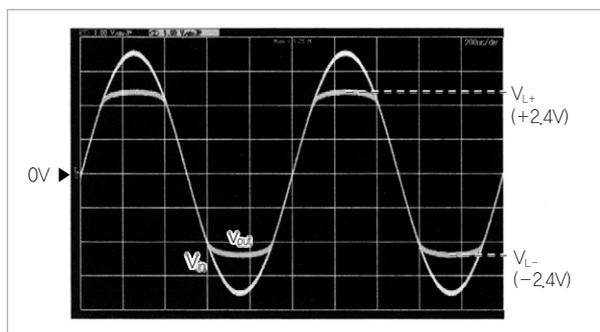


그림 8. 그림 7의 입출력 파형 (1V/div, 200 $\mu$ s/div. 입력은  $7V_{P-P}/1kHz$ 의 정현파)

측 출력 진폭을 제한한다. 입력 신호가 마이너스 측 제한 전압  $V_{L-}$ 보다 낮아지면  $D_2$ 가 브레이크 다운됨과 동시에  $D_1$ 이 ON되어 마이너스 측 출력 진폭을 제한한다.

(1) 동작 파형

그림 8은  $7V_{p-p}/1kHz$ 의 정현파를 입력한 경우의 입출력 파형이다.  $D_1$ 과  $D_2$ 에 사용한 제너 다이오드 HZ2A3의 제너 전압  $V_Z$ 는 약 1.9V이고, 순방향 전압 강하  $V_F$ 는 약 0.5V이다. 출력 신호  $v_{out}$ 은  $V_{L+} \approx +2.4V (= +1.9V + 0.5V)$ 와  $V_{L-} \approx -2.4V (= -1.9V - 0.5V)$ 로 진폭이 제한된다. 이 회로는  $D_1$ 과  $D_2$ 에 같은 제너 다이오드를 사용했지만,  $D_1$ 과  $D_2$ 에 다른 제너 전압 소자를 사용하면  $V_{L+}$ 와  $V_{L-}$ 를 다른 값으로 설정할 수 있다.

3. 참고문헌

(4), (5), (6), (7), (12)

기본 회로 48 : 플러스, 마이너스 전압 입력 리미터(실리콘 다이오드 2개 사용)

앞단의 회로가 출력하는  $0V \sim V_{CC}$  범위 밖의 전압을 제한한다. IC의 입력 단자에 과전압이 가해지지 않도록 하는 보호 회로에 사용된다.

1. 계산식

· 고전위 측 제한 전압  $V_{L+} = V_{CC} + V_{F1}$  [V]

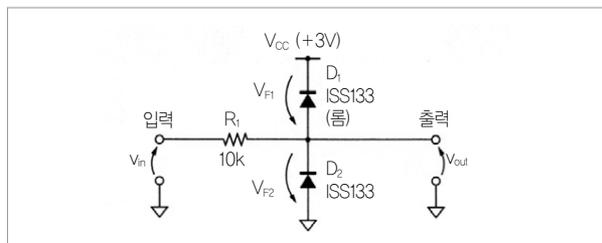


그림 9. 회로도

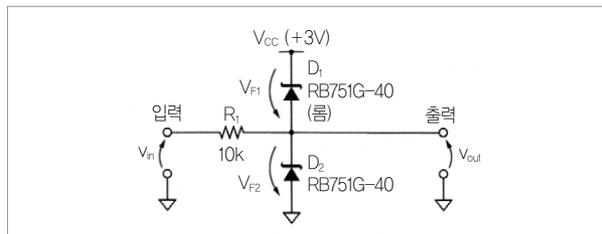


그림 11. 개량 또는 어레인지된 회로의 예 ① (허용 입력 전압 범위가 좁은 마이컴이나 OP 앰프 등의 입력 보호 회로)

· 저전위 측 제한 전압  $V_{L-} = GND - V_{F2}$  [V]

단,  $V_{F1}$ 은  $D_1$ 의 순방향 전압 강하,  $V_{F2}$ 는  $D_2$ 의 순방향 전압 강하이다.

2. 기본형

그림 9는 입력 신호가 고전위 측 제한 전압  $V_{L+}$ 보다 높아지면 다이오드  $D_1$ 이 ON되고, 저전위 측 제한 전압  $V_{L-}$ 보다 낮아지면 다이오드  $D_2$ 가 ON되어 출력 신호의 플러스, 마이너스 측 양 전압 진폭을 제한하는 리미터 회로이다.

(1) 동작 파형

그림 10은  $7V_{p-p}/1kHz$ 의 정현파를 입력한 경우의 입출력 파형이다.  $D_1$ 과  $D_2$ 에 사용한 소신호 실리콘 다이오드 ISS133의 순방향 전압 강하  $V_{F1}$ ,  $V_{F2}$ 는 약 0.5V로 된다. 출력 신호  $v_{out}$ 은  $V_{L+} \approx +3.5V (= +3V + 0.5V)$ 와  $V_{L-} \approx -0.5V (= 0V - 0.5V)$ 로 진폭이 제한된다.

3. 개량 또는 어레인지된 회로의 예 ①

그림 11은  $D_1$ ,  $D_2$ 를 소신호 쇼트키 배리어 다이오드 RB751G-40으로 치환한 회로이다.

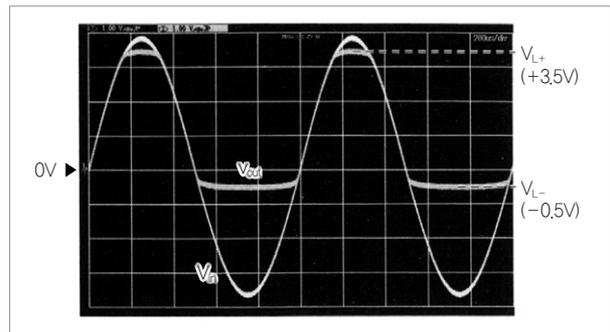


그림 10. 그림 9의 입출력 파형 (1V/div, 200μs/div, 입력은  $7V_{p-p}/1kHz$ 의 정현파)

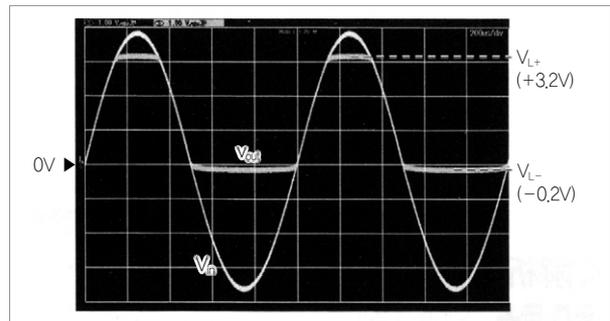


그림 12. 그림 11의 출력 신호  $v_{out}$ 은 +3.2V와 -0.2V로 진폭이 제한된다 (1V/div, 200μs/div, 입력은  $7V_{p-p}/1kHz$ 의 정현파)

(1) 동작 파형

그림 12는  $7V_{P-P}/1kHz$ 의 정현파를 입력한 경우의 입출력 파형이다.  $D_1, D_2$ 에 사용한 쇼트키 배리어 다이오드 RB751G-40의 순방향 전압 강하는 약  $0.2V$ 이다.  $v_{out}$ 은  $V_{L+} \approx +3.2V$  ( $=+3V+0.2V$ )와  $V_{L-} \approx -0.2V$  ( $=0V-0.2V$ )로 진폭이 제한된다. 그림 11의 회로는 기본형 회로보다 통과하는 전압 범위를 좁게 할 수 있으므로, 허용 입력 전압 범위가 좁은 마이컴이나 OP 앰프 등의 입력 보호 회로에 사용된다.

4. 개량 또는 어레인지된 회로의 예 ②

그림 13은 접합형 FET 안에 있는 다이오드를 이용한 리미터 회로이다. 접합형 FET 내에 있는 다이오드는 일반적인 소신호 다이오드나 쇼트키 배리어 다이오드에 비해 OFF일 때의 누설 전류가 적은 것이 특징이다. 이 회로는 다이오드의 누설 전류가 동작에 영향을 미치는 고임피던스 회로에 사용할 수 있다. 회로 동작은 그림 9와 같다.

(1) 동작 파형

그림 14는  $7V_{P-P}/1kHz$ 의 정현파를 입력한 경우의 입출력

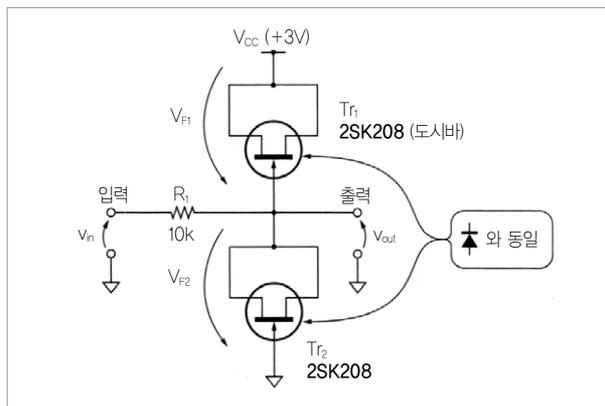


그림 13. 개량 또는 어레인지된 회로의 예 ② (동작은 그림 9와 거의 같지만 누설 전류가 작다)

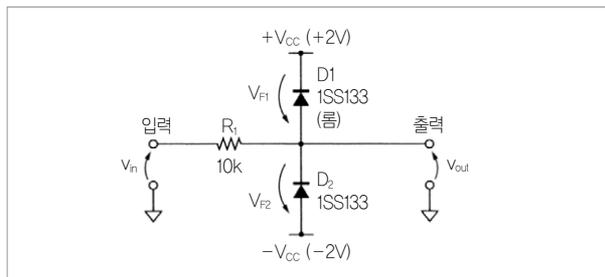


그림 15. 개량 또는 어레인지된 회로의 예 ③ (그림 9의  $D_2$ 를 마이너스 전원으로 접속한 전압 리미터)

파형을 나타낸 것이다.  $v_{out}$ 의 파형은 그림 10과 거의 같지만, 여기서 사용한 접합형 FET 내의 다이오드 순방향 전압 강하가 크므로 ( $V_{F1}=V_{F2} \approx 0.7V$ ),  $V_{L+} \approx 3.7V$  ( $=+3V+0.7V$ ),  $V_{L-} \approx -0.7V$  ( $=0V-0.7V$ )로 됐다.

5. 개량 또는 어레인지된 회로의 예 ③

그림 15는  $D_2$ 를 마이너스 전원에 접속한 회로이다.  $V_{L+}, V_{L-}$ 는 다음과 같이 결정된다.

$$V_{L+} = +V_{CC} + V_{F1} [V], V_{L-} = -V_{CC} - V_{F2} [V]$$

(1) 동작 파형

그림 16은  $7V_{P-P}/1kHz$ 의 정현파를 입력한 경우의 입출력 파형이다.  $v_{out}$ 은  $V_{L+} \approx +2.5V$  ( $=+2V+0.5V$ ),  $V_{L-} \approx -2.5V$  ( $=-2V-0.5V$ )로 진폭이 제한된다.

6. 개량 또는 어레인지된 회로의 예 ④

그림 17은 2개의 다이오드를 역접속으로 GND에 접속한 회로이다. 허용 입력 전압 범위가 좁은 마이컴이나 OP 앰프 등의 입력을 보호할 수 있는 회로이다.  $V_{L+}, V_{L-}$ 는 다음과 같이 결정된다.

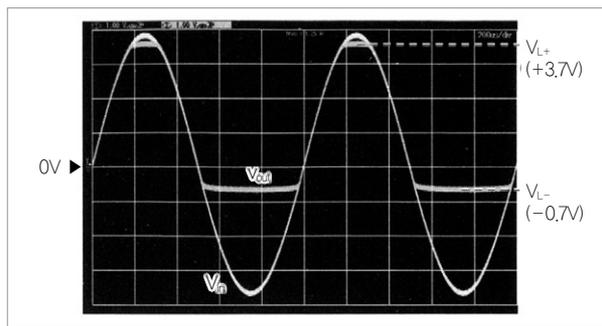


그림 14. 그림 13의 출력 신호  $v_{out}$ 은  $+3.7V$ 와  $-0.7V$ 로 진폭이 제한된다 (1V/div, 200 $\mu$ s/div. 입력은  $7V_{P-P}/1kHz$ 의 정현파)

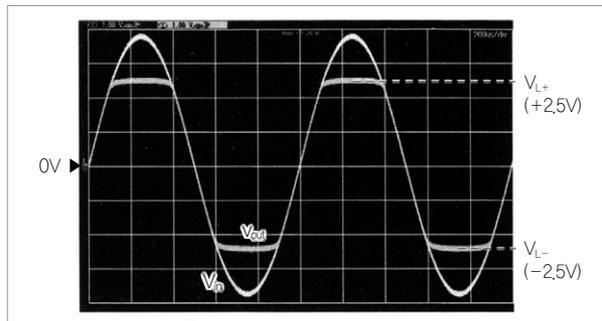


그림 16. 그림 17의 출력 신호  $v_{out}$ 은  $+2.5V$ 와  $-2.5V$ 로 진폭이 제한된다 (1V/div, 200 $\mu$ s/div. 입력은  $7V_{P-P}/1kHz$ 의 정현파)

$$V_{L+} = \text{GND} + V_{F1} \text{ [V]}, V_{L-} = \text{GND} - V_{F2} \text{ [V]}$$

(1) 동작 파형

그림 18은  $7V_{p-p}/1\text{kHz}$ 의 정현파를 입력한 경우의 입출력 파형이다.  $v_{out}$ 은  $V_{L+} \approx +0.5V (= 0V + 0.5V)$ ,  $V_{L-} \approx -0.5V (= 0V - 0.5V)$ 로 진폭이 제한된다.  $D_1$ ,  $D_2$ 에 순방향 전압 강하가 낮은 쇼트 키 배리어 다이오드를 사용하면 플러스 측 제한 전압을 보다 낮게 설정할 수 있다.

7. 참고문헌

(4), (5), (6), (7), (12)

기본 회로 49 : OP 앰프 출력의 플러스, 마이너스 전압 리미터(실리콘 다이오드 2개 사용)

OP 앰프의 출력 전압 범위를 약  $\pm 0.6V$ 의 범위로 수렴시키는 회로를 말한다(그림 19).

1. 계산식

· 고전위 측 제한 전압  $V_{L+} = +V_{F1}$  [V]

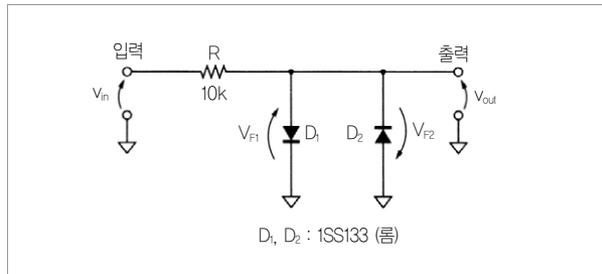


그림 17. 개량 또는 어레인자된 회로의 예 ④ (2개의 다이오드를 그라운드에 접속한 전압 리미터. 허용 입력 전압 범위가 좁은 마이컴이나 OP 앰프 등의 입력 보호 회로)

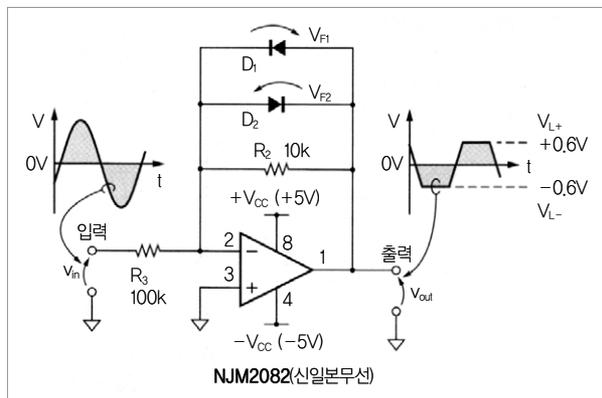


그림 19. 회로도

· 저전위 측 제한 전압  $V_{L-} = -V_{F2}$  [V]

단,  $V_{F1}$ 은  $D_1$ 의 순방향 전압 강하,  $V_{F2}$ 는  $D_2$ 의 순방향 전압 강하이다.

2. 참고문헌

(6)

기본 회로 50 : OP 앰프 출력의 플러스, 마이너스 전압 리미터(제너 다이오드 2개 사용)

OP 앰프의 출력 전압 범위를 약  $\pm V_Z$ (제너 전압)의 범위로 억제하는 회로이다(그림 20).

1. 계산식

· 고전위 측 제한 전압  $V_{L+} = +V_{Z1} + V_{F2}$  [V]

· 저전위 측 제한 전압  $V_{L-} = -V_{Z2} - V_{F1}$  [V]

단,  $V_{Z1}$ 은  $D_1$ 의 제너 전압,  $V_{Z2}$ 는  $D_2$ 의 제너 전압,  $V_{F1}$ 은  $D_1$ 의 순방향 전압 강하, 그리고  $V_{F2}$ 는  $D_2$ 의 순방향 전압 강하를 나타낸다.

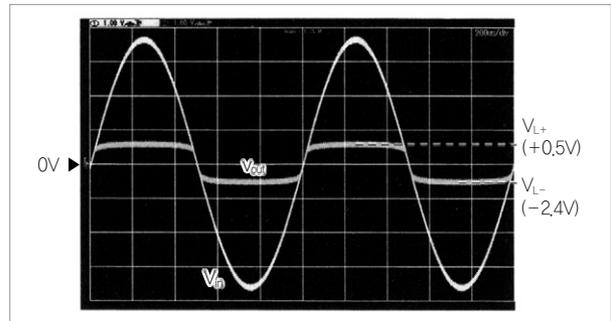


그림 18. 그림 17의 출력신호  $v_{out}$ 은  $+0.5V$ 와  $-0.5V$ 로 진폭이 제한된다 (1V/div, 200 $\mu$ s/div. 입력은  $7V_{p-p}/1\text{kHz}$ 의 정현파)

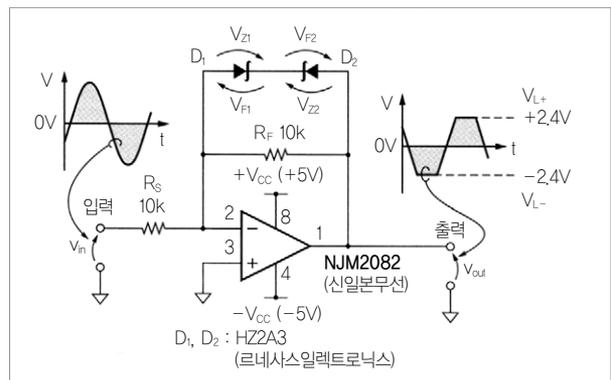


그림 20. 회로도

## 2. 참고문헌

(6)

### 기본 회로 ⑤: 비반전형 콤파레이터

입력 신호의 전압이 일정 전압(기준 전압)보다 큰지 작은지를 판단하여 “H”/“L”을 출력한다.

#### 1. 계산식

$$\text{기준 전압} : V_R = \frac{R_2}{R_1 + R_2} V_{CC} [V]$$

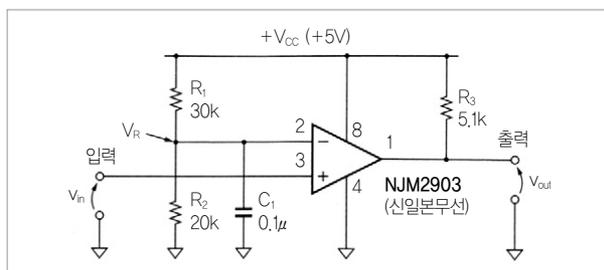


그림 21. 회로도

## 2. 기본형

그림 21은 콤파레이터나 전압비교기, 비교기, 레벨 검출기 등으로 불리는 회로이다. 입력 신호를 비교하기 위한 기준 전압  $V_R$ 은  $R_1$ 과  $R_2$ 의 비에 따라 결정된다. 이 회로는 기준 전압  $V_R$ 을  $R_1$ 과  $R_2$ 로 만들었지만, 외부에서 직류 전압을  $V_R$ 로서 공급하는 경우가 있다.  $C_1$ 은  $V_R$ 의 잡음을 제거하기 위한 콘덴서이며 회로에 따라서는 생략되는 경우도 있다.

$R_3$ 은 콤파레이터 IC NJM2903의 출력 전위를 정하기 위한

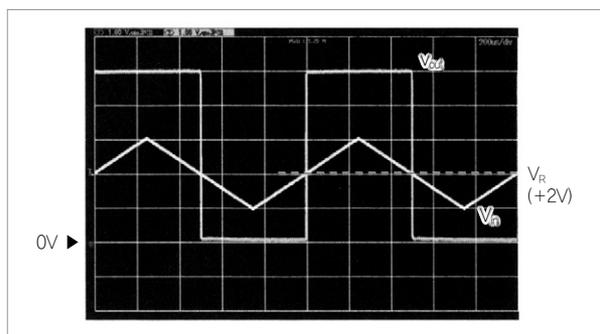


그림 22. 그림 21의 입출력 파형 (1V/div, 200μs/div. 입력은 삼각파에 직류 전압 +2V를 곱한 신호)

## MOSFET 회로 기호

회로도에 사용하는 회로 기호(정식으로는 전기용도 기호라고 한다)는 JIS 규격(JISC0617)이나 IEC 규격(IEC60617)에 정해져 있다. 그러나 우리가 보는 회로도에는 회로 기호가 규격대로 사용되지 않고 있는 실정이다.

MOSFET 회로 기호도 마찬가지로, 여러 가지가 어레이지되어 사용되고 있다. 본지에서 사용한 회로 기호도 JIS 규격과는 다소 차

이가 있다. 그림 A는 N채널 MOSFET의 다양한 회로 기호를 나타낸 것이다. JIS 규격의 회로 기호는 다음 웹사이트에서 볼 수 있다 (<http://www.jisc.go.jp/app/JPS/JPS00020.html>).

MOSFET 회로 기호를 보는 순서는 다음과 같다. ① 화면 중앙의 ‘JIS 규격 번호로 JIS를 검색’에서 ‘JISC0617’ 검색. ② MOSFET은 ‘JISC0617-5 전기용도 기호 제5부 : 반도체 및 전자관’

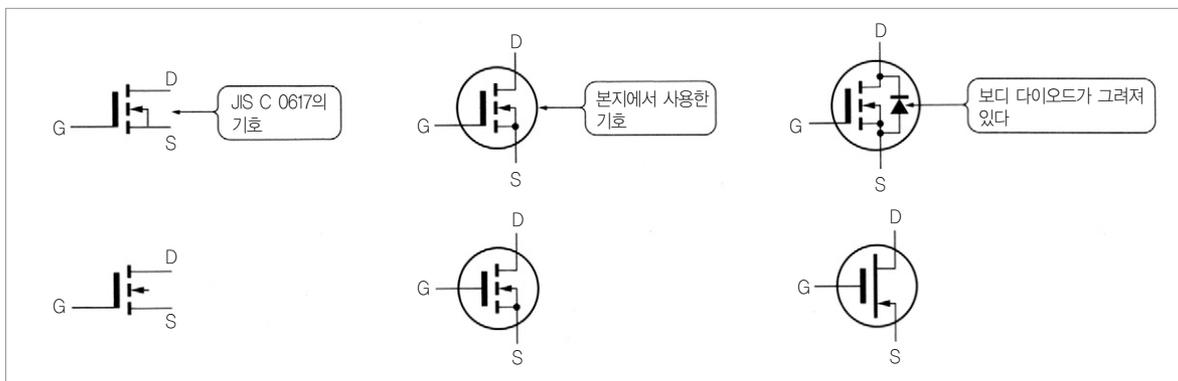


그림 A. MOSFET(N채널)의 회로 기호

풀업 저항이다. 콤파레이터 IC의 종류에 따라서는  $R_3$ 이 필요 없는 경우도 있다. 또, 콤파레이터 IC 대신 OP 앰프 IC가 사용되는 경우도 있다.

(1) 동작 파형

그림 22는  $2V_{p-p}$ 의 삼각파에 직류 전압  $+2V$ 를 곱한 신호를 입력했을 경우의 입출력 파형이다. 입력  $v_{in}$ 이  $V_R = +2V (= 20k\Omega / (30k\Omega + 20k\Omega) \times 5V)$ 보다 낮은 경우에는 출력  $v_{out}$ 이  $0V$ (“L”), 높은 경우에는  $+5V$ (“H”)로 된다.

3. 개량 또는 어레인지된 회로의 예

그림 23은 반전형 콤파레이터 회로를 나타낸 것이다. 기본형 회로와 다른 점은 콤파레이터 IC의 반전 입력 단자와 비반전 입력 단자가 교체됐다는 것뿐이다.

(1) 동작 파형

그림 24는  $2V_{p-p}$ 의 삼각파에 직류 전압  $+2V$ 를 곱한 신호를 입력했을 경우의 입출력 파형이다.  $v_{in}$ 이  $V_R = +2V (= 20k\Omega / (30k\Omega + 20k\Omega) \times 5V)$ 보다 낮은 경우에는 출력  $v_{out}$ 이  $+5V$ (“H”), 높은 경우에는  $0V$ (“L”)로 된다. 기본형 회로와 “L”/“H”가 반대이다.

4. 참고문헌

(3), (5), (6)

기본 회로 ⑤2: 히스테리시스 있는 반전형 콤파레이터

입력 신호가 일정 전압(기준 전압)보다 크면 “L”을 출력한다. 신호에 잡음이 다소 포함돼 있어도 확실히 판별할 수 있다.

1. 계산식

· 출력이 “H”일 때의 기준 전압

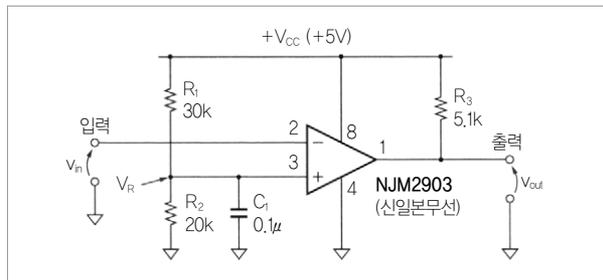


그림 23. 개량 또는 어레인지된 회로의 예 (출력 논리가 기본형의 반대로 된다)

$$V_{R1} = \frac{R_2}{R_H + R_2} V_{CC} [V] \quad R_{H1} = \frac{R_1(R_3 + R_4)}{R_1 + R_3 + R_4} [\Omega]$$

$R_4$ 가 존재하지 않는 경우에는  $R_4 = 0\Omega$ 으로 한다.

· 출력이 “L”일 때의 기준 전압

$$V_{R2} = \frac{R_L}{R_1 + R_L} V_{CC} [V] \quad R_{L1} = \frac{R_2 R_3}{R_2 + R_3} [\Omega]$$

2. 기본형

그림 25는 콤파레이터나 전압비교기, 비교기, 레벨 검출기 등으로 불리는 회로이다.

입력 신호가 기준 전위를 저전위 측에서 넘어서는 경우와 고전위 측에서 넘어서는 경우에 기준 전위가 다른 히스테리시스 특성을 갖는다. 이로써 입력 신호나 전원 잡음에 의해 잘못 동작하는 것을 방지할 수 있다. 콤파레이터 IC의 비반전 입력으로  $R_3$ 에서 정귀환을 걸어 히스테리시스 특성을 부여했다.  $R_4$ 는 콤파레이터 IC NJM2903의 출력 전위를 정하기 위한 풀업 저항이다.

콤파레이터 IC의 종류에 따라서는  $R_4$ 가 필요 없는 경우도 있다. 그리고 콤파레이터 IC 대신에 OP 앰프 IC가 사용되는 경우도 있다.

(1) 동작 파형

그림 26은  $2V_{p-p}$  삼각파에 직류 전압  $+2V$ 를 중첩시킨 신호를 입력한 경우의 입출력 파형이다.

출력  $v_{out}$ 이 “H”(그림 26에서는  $v_{out} \approx +4.8V$ )일 때의 기준 전압은  $V_{R1} = +2.6V (= 20k\Omega / (19k\Omega + 20k\Omega) \times 5V)$ 로 된다. 이 때 입력  $v_{in}$ 이  $V_{R1}$ 보다 높아지면(▲점)  $v_{out}$ 은 “L”(그림 26에서  $v_{out} \approx 0V$ )로 된다.  $v_{out}$ 이 “L”로 된 순간에 기준 전압은  $V_{R2} = +1.6V (= 14k\Omega / (30k\Omega + 14k\Omega) \times 5V)$ 로 된다. 기준 전압이 낮

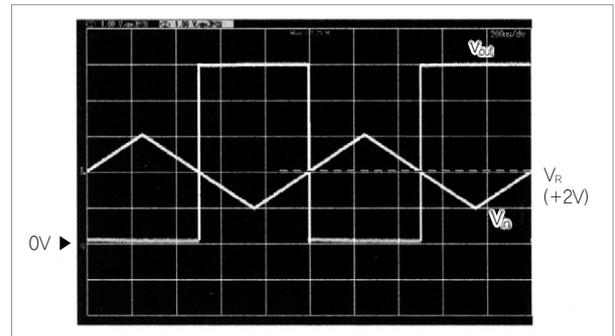


그림 24. 그림 23의 입출력 파형 (1V/div, 200μs/div. 입력은 삼각파에 직류 전압  $+2V$ 를 곱한 신호)

아지므로 이 때  $v_{in}$ 에 잡음이 실려  $V_{R1}$ 보다 낮은 전위가 되어도  $v_{out}$ 은 변하지 않는다.

$v_{out}$ 이 "L"일 때  $v_{in}$ 이  $V_{R2}$ 보다 낮아지면(㉞점)  $v_{out}$ 이 "H"로 된다.  $v_{out}$ 이 "H"로 된 순간에 기준 전압은  $V_{R1}=+2.6V$ 로 된다. 이후  $v_{in}$ 이 잡음에 의해  $V_{R2}$ 보다 높은 전위로 되더라도  $v_{out}$ 은 변하지 않는다. 이것이 잡음에 강한 메커니즘이다. 히스테리시스 특성의 전압폭( $V_{R1}-V_{R2}$ )은 입력 신호의 특성이나 잡음 상황 등을 고려하여 설정된다.

### 3. 참고문헌

(3), (5), (6)

### 기본 회로 53 : 히스테리시스가 있는 비반전형 콤파레이터

입력 신호가 일정 전압(기준 전압)보다 크면 "H"를 출력한다. 신호에 잡음이 다소 포함되어 있어도 확실하게 판별할 수 있다(그림 27).

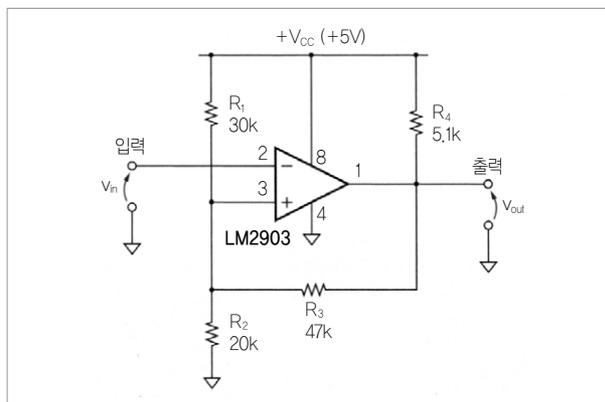


그림 25. 회로도

### 1. 계산식

· 출력이 "H"일 때의 기준 전압

$$V_{R1} = \frac{(R_1 + R_2 + R_5)V_R - R_1 V_{CC}}{R_2 + R_5} \text{ [V]}$$

· 출력이 "L"일 때의 기준 전압

$$V_{R2} = \frac{R_1 + R_2}{R_2} V_R \text{ [V]}, \quad V_R = \frac{R_4}{R_3 + R_4} V_{CC} \text{ [V]}$$

$R_5$ 가 존재하지 않는 경우  $R_5 = 0\Omega$ 으로 한다.

### 2. 참고문헌

(3), (5), (6)

### 기본 회로 54 : 윈도우 콤파레이터

입력 신호가 2개의 기준 전압 사이에 있을 때 "H"를 출력한다(그림 28).

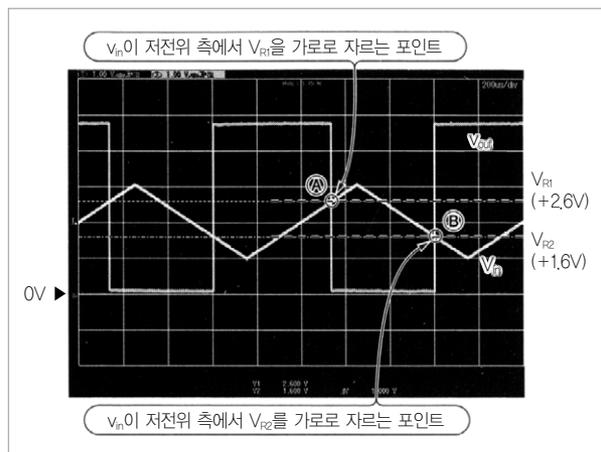


그림 26. 그림 25의 입력 파형 (1V/div, 200μs/div, 입력은 2V<sub>p-p</sub>의 삼각파에 직류 전압 +2V를 곱한 신호)

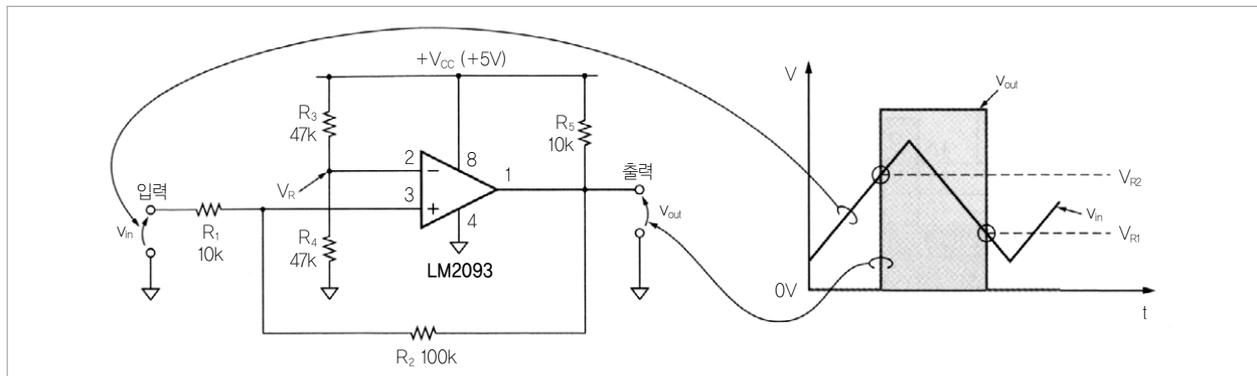


그림 27. 회로도

1. 계산식

· 저전위 측 기준 전압  $V_{RL} = \frac{R_3}{R_1 + R_2 + R_3} V_{CC}$  [V]

· 고전위 측 기준 전압  $V_{RH} = \frac{R_2 + R_3}{R_1 + R_2 + R_3} V_{CC}$  [V]

2. 참고문헌

(5), (6)

기본 회로 55 : 반전형 샘플 & 홀드 회로

입력 신호의 진폭을 유지하여 출력한다. 게인을 1배 이상으로 설정할 수 있다.

샘플링 시에는 1차 로우 패스 필터의 주파수 특성을 나타낸다. A-D 컨버터의 전단 처리나 D-A 컨버터의 후단 처리에

사용된다(그림 29).

1. 계산식

· 샘플일 때의 컷오프 주파수  $f_c = \frac{1}{2\pi C_1 R_F}$  [Hz]

· 샘플일 때의 전압 게인  $A_v = -\frac{R_F}{R_5}$  [배]

단, 신호 주파수가  $f_c$ 보다 충분히 낮은 경우

기본 회로 56 : 전압 폴로어형 샘플 & 홀드 회로

입력 신호의 진폭을 유지하며 출력한다. 샘플링 시에는 1차 로우 패스 필터의 주파수 특성을 나타낸다. 고속으로 광대역 동작이 가능하다. 또한 A-D 컨버터의 전단 처리에 사용된다(그림 30).

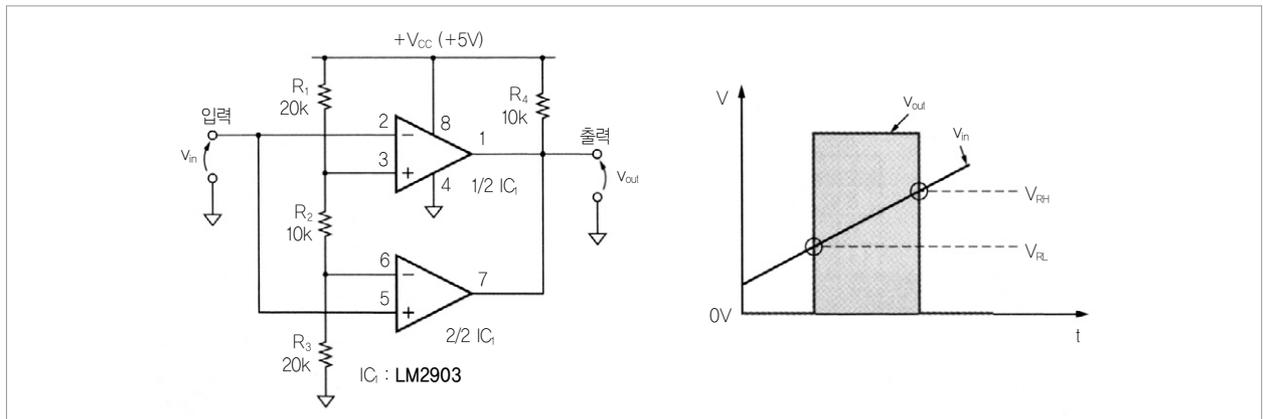


그림 28. 회로도

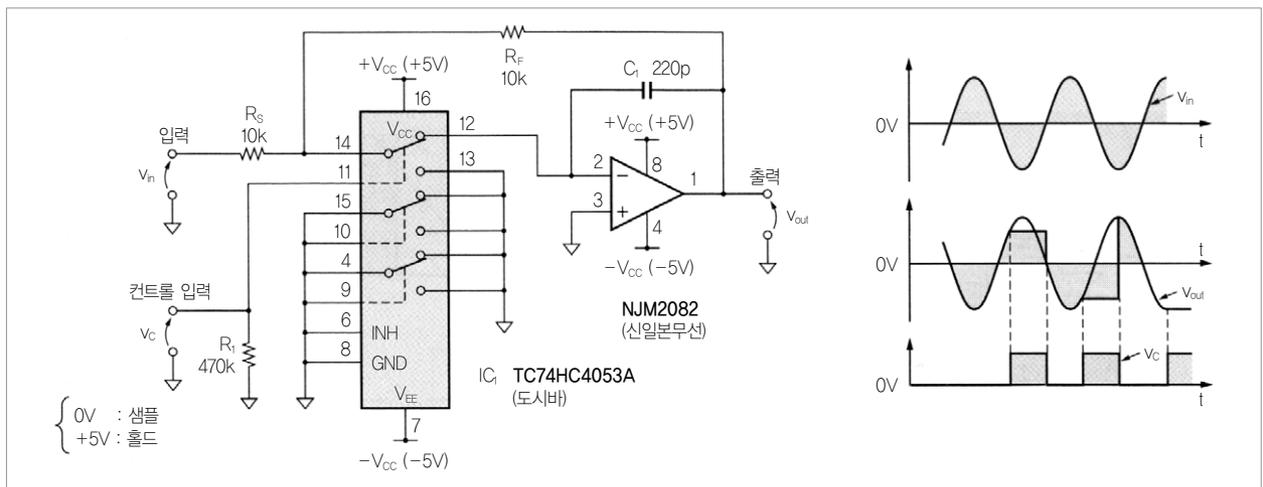


그림 29. 회로도

### 1. 계산식

· 샘플 시의 컷오프 주파수  $f_c = \frac{1}{2\pi C_1 R_1}$  [Hz]

· 샘플 시의 전압 게인  $A_v = +1$ 배

단, 신호 주파수가  $f_c$ 보다 충분히 낮은 경우

### 2. 참고문헌

(3), (4), (6)

### 기본 회로 ⑤7: CR형 리셋 신호 발생 회로

마이컴의 간이 리셋 회로. 콘덴서 충전에 시간이 걸리는 점을 이용하고 있다.

### 1. 계산식

지연 시간  $t_D = CR$  [s]. 단,  $t_D$ 는 전원을 ON 했을 때  $V_{CC}$ 의 63%에 도달할 때까지의 시간이다.

### 2. 기본형

그림 31의 회로는 전원이 ON일 때 R을 통해 C를 충전함으로써 출력  $V_{out}$ 의 상승을 둔화시켜 시간 지연을 발생시킨다. 지연 시간  $t_D$ 는 C와 R에 따라 결정된다.

$D_1$ 은 전원을 OFF 했을 때  $V_{out}$ 을 지연시키지 않기 위한 다이오드이다. 전원을 OFF 했을 때  $D_1$ 이 ON되어 R을 바이패스하면 C를 급속 충전시킬 수 있다.

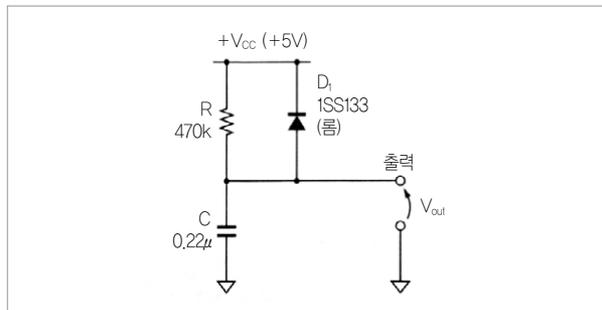


그림 31. 회로도

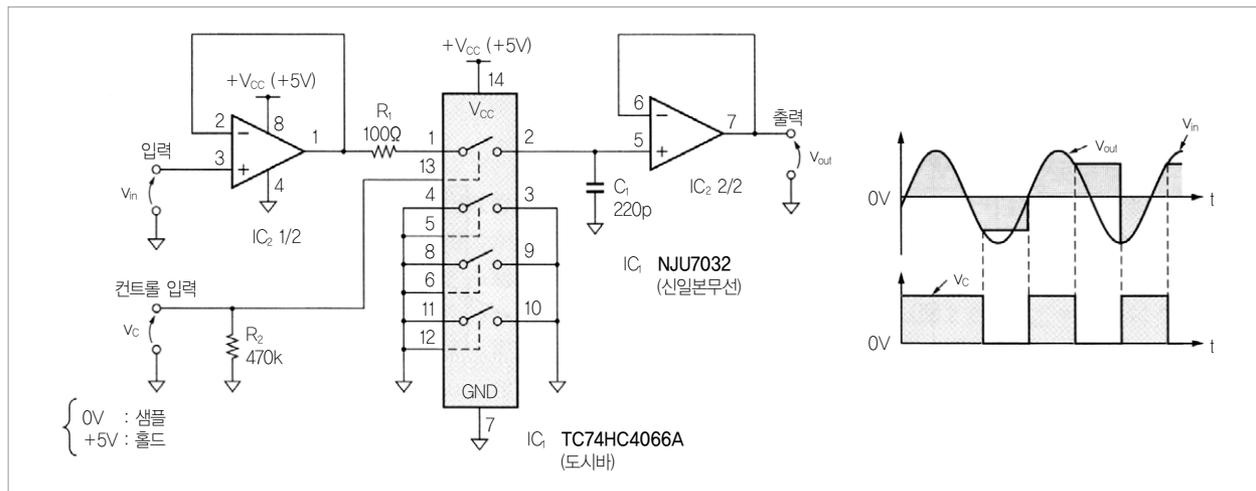


그림 30. 회로도

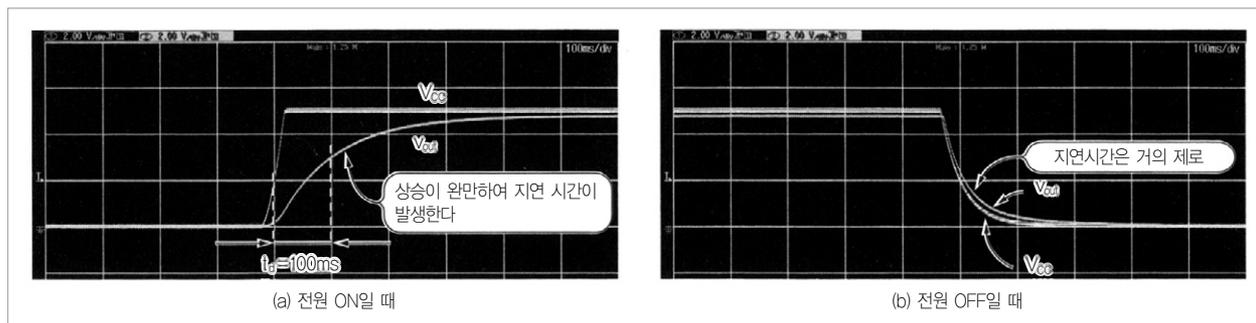


그림 32. 그림 31에서 전원 ON/OFF일 때의 각 부 파형 (2V/div, 100ms/div)



그림 34. 그림 33에서 전원 ON/OFF일 때의 각 부 파형 (2V/div, 100ms/div)

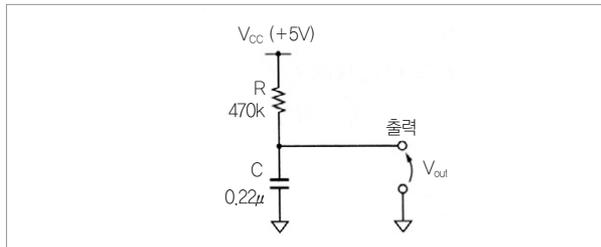


그림 33. 개량 또는 어레인지된 회로의 예 (콘덴서의 충전 시간이 짧아 방전용 다이오드가 필요 없는 예)

그림 32는 전원 ON/OFF 시 각부의 파형을 나타낸 것이다. 전원을 ON 했을 때에는  $V_{CC}$ 가 상승함과 동시에  $V_{out}$ 이 천천히 상승하여 지연이 발생한다.  $V_{CC}$  상승 후  $t_D=100ms(=0.22\mu F \times 470k\Omega)$ 이고  $V_{out}$ 은  $V_{CC}$ 의 약 63%로 된다. 전원을 OFF 했을 때에는  $D_1$ 을 통해 C를 급속하게 방전하므로 지연 시간은 거의

발생하지 않는다.

### 3. 개량 혹은 어레인지된 회로의 예

그림 33은 C의 방전용 다이오드를 생략한 회로이다.  $t_D$ 가 짧은 회로나  $t_D$ 에 비해 전원 하강이 완만한 회로에서 사용되는 경우가 있다. 그림 34는 전원 ON/OFF 시 각 부의 파형을 나타낸 것이다. 전원을 ON했을 때에는 그림 32와 똑같지만, 전원을 OFF했을 때에는 R을 통해 C를 방전하므로  $V_{out}$ 에 지연이 발생한다.  $t_D=100ms(=0.22\mu F \times 470k\Omega)$ 이며  $V_{CC}$ 의 약 37%(=100%–63%)로 된다.

### 4. 참고문헌

- (1), (2), (15), (23), (24)



#### 제2장~제9장의 참고문헌

- 1) 高木 誠利; 実験回路で学ぶトランジスタとOPアンプ, CQ出版社.
- 2) トランジスタ技術SPECIAL for フレッシュヤーズ No.107 徹底図解 電子回路のコモンセンス マイコン周辺回路から回路測定とノイズ対策まで, CQ出版社.
- 3) トランジスタ技術SPECIAL No.71 OPアンプから始めるアナログ技術, CQ出版社.
- 4) トランジスタ技術SPECIAL No.88 ダイオード/トランジスタ/FET活用入門, CQ出版社.
- 5) トランジスタ技術SPECIAL 増刊 OPアンプによる実用回路設計, CQ出版社.
- 6) 岡村 勉男; 定本 OPアンプ回路の設計, CQ出版社.
- 7) 川田 章弘; OPアンプ活用 成功のかぎ, CQ出版社.
- 8) OPアンプ大全 第1巻 OPアンプの歴史と回路技術の基礎知識, CQ出版社.
- 9) OPアンプ大全 第2巻 OPアンプによる信号処理の応用技術, CQ出版社.
- 10) OPアンプ大全 第3巻 OPアンプによるフィルタ回路の設計, CQ出版社.
- 11) OPアンプ大全 第4巻 OPアンプによる増幅回路の設計技法, CQ出版社.
- 12) OPアンプ大全 第5巻 OPアンプの実装と周辺回路の実用技術, CQ出版社.
- 13) 遠坂 俊昭; 計測のためのアナログ回路設計, CQ出版社.
- 14) 遠坂 俊昭; 計測のためのフィルタ回路設計, CQ出版社.
- 15) 三谷 政昭; アナログ・フィルタ 理論&設計入門, CQ出版社.
- 16) 堀 敏夫; アナログ・フィルタの回路設計法, 総合電子出版社.
- 17) M.EVAN VALKENBURG; アナログフィルタの設計, 産業報知センター.
- 18) トランジスタ技術SPECIAL for フレッシュヤーズ No.103 徹底図解 トランジスタ活用 はじめの一步, CQ出版社.
- 19) 黒田 徹; 実験で学ぶ トランジスタ・アンプの設計, CQ出版社.
- 20) 鈴木 雅臣; 定本 トランジスタ回路の設計, CQ出版社.
- 21) 鈴木 雅臣; 定本 続トランジスタ回路の設計, CQ出版社.
- 22) 柴田 肇; トランジスタの料理法, CQ出版社.
- 23) トランジスタ技術SPECIAL for フレッシュヤーズ No.104 徹底図解 OPアンプIC活用ノート, CQ出版社.
- 24) 石井 聡; 合点! 電子回路超入門, CQ出版社.
- 25) 稲葉 保; 定本 発振回路の設計と応用, CQ出版社.
- 26) 稲葉 保; パワー MOS FET活用の基礎と実際, CQ出版社.
- 27) トランジスタ技術SPECIAL No.98 パワー・エレクトロニクス回路の設計, CQ出版社.
- 28) 本田 潤; D級/ディジタル・アンプの設計と製作, CQ出版社.

本記事는 日本 CQ出版社가 發行하는 「トランジスタ技術」誌와의 著作権 協定에 依據하여 提供받은 資料입니다.

LED나 모터, 스피커 등을 효율적으로 구동하는 회로

# 7 스위치 회로/스위칭 회로

鈴木 雅臣

## 기본 회로 59 : 로우 사이드 ON/OFF 스위치 (NPN 바이폴라 트랜지스터 사용)

정전원에 접속된 LED의 점등/소등이나 DC 모터의 회전/정지, 디지털 신호의 논리 반전, 전원전압이 서로 다른 회로간 인터페이스(레벨 변환)에 사용된다.

### 1. 입력과 출력의 관계

표 1을 참조한다.

표 1. 로우 사이드 ON/OFF 스위치(NPN 바이폴라 트랜지스터 사용)의 입력과 출력 관계

입력 $v_{in}$	트랜지스터의 상태	출력	
		$v_{out}$ [V]	$i_{out}$ [A]
L	OFF	$V_{CC}$	0
H	ON	$V_{CE(sat)}$	$\frac{V_{CC} - V_{CE(sat)}}{Z_L}$

$V_{CE(sat)}$  : 트랜지스터가 ON됐을 때의 컬렉터-에미터간 포화 전압

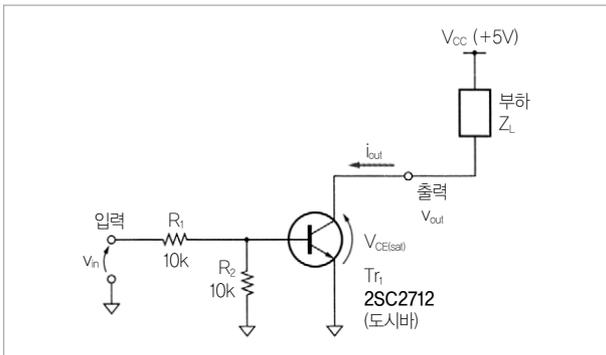


그림 1. 회로도

### 2. 기본형

그림 1은 NPN 트랜지스터의 에미터를 접지하여 베이스를 입력, 컬렉터를 출력으로 한 스위치 회로이다. 입력  $v_{in}$ 을 "H"로 하면 트랜지스터가 ON되어 정전원에 접속한 부하에서 전류를 흡수할 수 있다(전류를 토출할 수는 없다).  $R_1$ 은 베이스에 흐르는 전류를 제한하는 저항이다.  $R_2$ 는 트랜지스터를 확실하게 OFF시키기 위한 풀다운 저항이다. 회로에 따라서는  $R_2$ 를 생략하는 경우가 있다.

부하를 접속하지 않았으므로 트랜지스터의 컬렉터를 그대로 출력 단자로 한 형태의 스위치 회로를 오픈 컬렉터라고 한다.

#### (1) 동작 파형

그림 2는 부하로 1kΩ의 저항을 접속하여 입력  $v_{in}=0/3V$ , 1kHz의 방형파를 입력했을 때의 입출력 파형을 나타낸 것이다.  $v_{in}=0V$ 일 경우  $Tr_1$ 이 OFF되고  $v_{out}=5V(=V_{CC})$ 가 된다.  $v_{in}=3V$ 일 때에는  $Tr_1$ 이 ON되고  $v_{out} \approx 0.1V(=V_{CE(sat)})$ 로 된다.

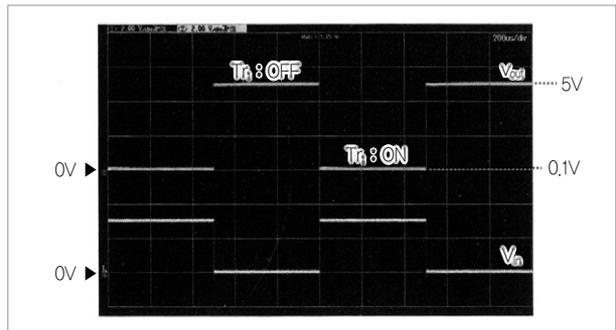


그림 2. 그림 1의 입출력 파형 (2V/div, 200μs/div, 부하 저항 1kΩ, 입력은 0V/3V의 1kHz 방형파)

이 회로에서는 컬렉터-이미터간 포화 전압  $V_{CE(sat)} \approx 0.1V$ 로 됐지만  $V_{CE(sat)}$  값은 사용하는 트랜지스터의 품종과 컬렉터 전류의 크기에 따라 결정된다. 출력 전류  $i_{out}$ 은  $4.9mA (= (5V - 0.1V)/1k\Omega)$ 로 된다.

### 3. 개량 또는 어레인지된 회로의 예 ①

그림 3은 저항 내장 트랜지스터를 사용한 회로이다. 트랜지스터 내부에  $R_1, R_2$ 가 내장되어 있으므로 부품 수를 줄일 수 있다.  $R_1, R_2$ 의 값은 트랜지스터의 종류에 따라 다르다.

### 4. 개량 또는 어레인지된 회로의 예 ②

그림 4는 트랜지스터 2개를 달링턴 접속한 회로이다. 달링턴 접속은  $Tr_1$ 의 이미터를  $Tr_2$ 의 베이스에 접속하여 회로 전체의 전류 증폭률을 높게 하는 것이다. 이렇게 하면 작은 입력 전류로 큰 출력 전류를 스위칭할 수 있다. 패키지 내부에 트랜지스터 2개를 달링턴 접속한 달링턴 트랜지스터가 사용되는

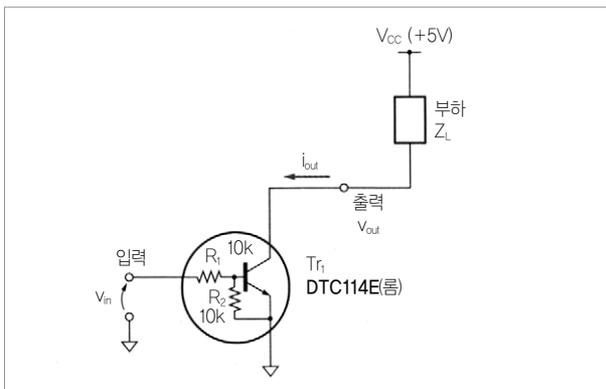


그림 3. 개량 또는 어레인지된 회로의 예 ① (저항 내장 트랜지스터를 사용한 로우 사이드 스위치 회로. 부품 수를 줄일 수 있다)

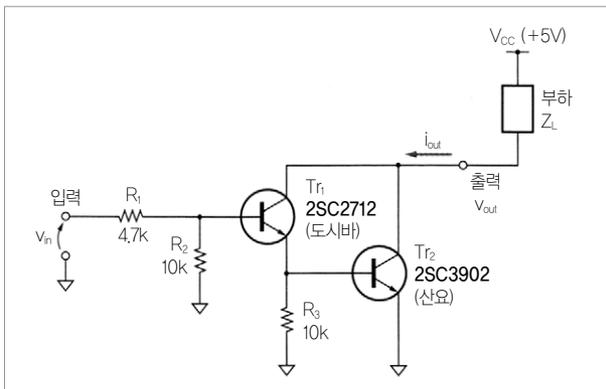


그림 4. 개량 또는 어레인지된 회로의 예 ② (두 개의 트랜지스터를 달링턴 접속한 로우 사이드 스위치 회로. 작은 입력 전류로 큰 출력 전류를 스위칭할 수 있다)

경우가 있다.  $R_1, R_2$ 의 기능은 기본형 회로와 동일하다.  $R_3$ 는  $Tr_2$ 를 확실하게 OFF시키기 위한 풀다운 저항이다. 회로에 따라서는  $R_3$ 를 생략하는 경우도 있다.

표 2는 입력 신호에 따른 동작 상태를 나타낸 것이다. 기본형 회로와 동작은 같지만, 트랜지스터가 ON으로 됐을 때  $v_{out} \approx 0.7V$  ( $Tr_2$ 의 베이스-이미터간 전압과 거의 같은 값)로 된다는 큰 차이가 있다.

#### (1) 동작 파형

그림 5는 부하로서  $47k\Omega$ 의 저항을 접속하고  $v_{in} = 0/3V, 1kHz$ 의 방형파를 입력한 경우의 입출력 파형이다.  $v_{in} = 0V$ 일 때  $Tr_1, Tr_2$ 는 모두 OFF되고  $v_{out} = 5V (= V_{CC})$ 로 된다.  $v_{in} = 3V$ 일 때에는  $Tr_1, Tr_2$  모두 ON되고  $v_{out} \approx 0.7V$ 로 된다.  $i_{out}$ 은

표 2. 그림 4에 나타난 회로의 동작

입력 $v_{in}$	트랜지스터의 상태		출력	
	$Tr_1$	$Tr_2$	$v_{out}$ [V]	$i_{out}$ [A]
L	OFF	OFF	$V_{CC}$	0
H	ON	ON	약 0.7	$\frac{V_{CC} - 0.7V}{Z_L}$

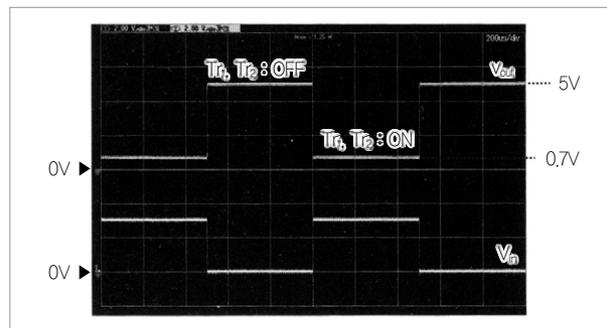


그림 5. 그림 4의 입출력 파형 (2V/div, 200μs/div. 부하 저항 1kΩ, 입력은 0V/3V의 1kHz 방형파)

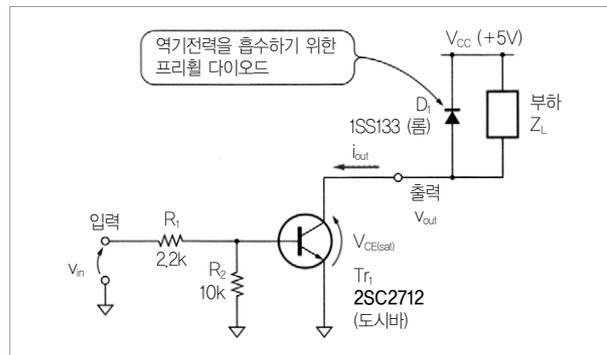


그림 6. 개량 또는 어레인지된 회로의 예 ③ (유도성 부하를 구동하는 로우 사이드 스위치 회로)



$92\text{mA} \approx (5\text{V} - 0.7\text{V}) / 47\Omega$ 로 된다.

### 5. 개량 또는 어레인지된 회로의 예 ③

그림 6은 DC 모터나 릴레이 등 유도성 부하를 구동하는 회로이다. 회로 형태와 동작은 기본형 회로와 같지만 트랜지스터가 OFF됐을 때 유도성 부하에서 발생하는 역기전력을 흡수하기 위한 프리휠 다이오드  $D_1$ 이 부하에 병렬로 접속되어 있다.

#### (1) 동작 파형

그림 7은 부하로서 소신소용 릴레이 EE2-5NU(NEC토킨)를 접속하고  $v_{in} = 0/3\text{V}$ , 50Hz의 방형파를 입력한 경우의 입출력 파형이다.

$Tr_1$ 이 OFF된 후  $v_{out} \approx 5.6\text{V}$ 로 된 부분은,  $D_1$ 이 ON되어 릴레이 코일에서 발생하는 역기전력을 흡수하는 기간이다( $D_1$ 이 ON되므로  $v_{out} = V_{CC} + 0.6\text{V}$ 로 된다).

### 6. 참고문헌

(4), (18), (21) - 본지 39쪽 참조

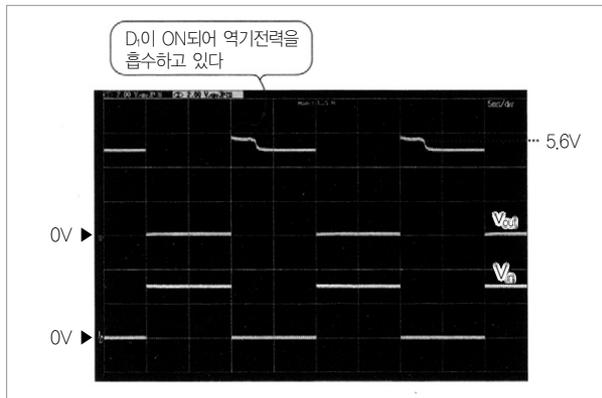


그림 7. 그림 6의 입출력 파형 [2V/div, 5ms/div. 부하는 소신소용 릴레이 EE2-5NU(NEC토킨), 입력은 0V/3V의 50Hz 방형파]

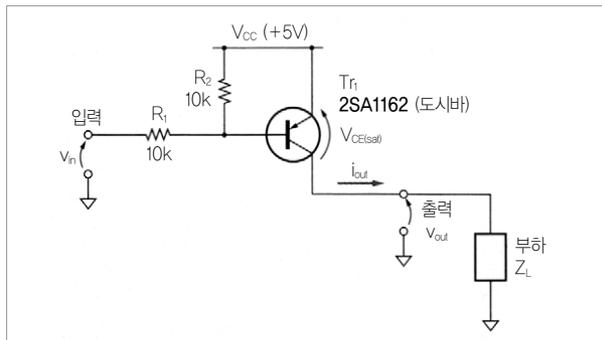


그림 8. 회로도

### 기본 회로 59 : 하이 사이드 ON/OFF 스위치 (PNP 바이폴라 트랜지스터 사용)

그라운드에 접속된 LED의 점등/소등이나 DC 모터의 회전/정지, 디지털 신호의 논리 반전에 사용된다.

#### 1. 입력과 출력의 관계

표 3을 참조한다.

#### 2. 기본형

그림 8은 PNP 트랜지스터의 이미터를 정전원에 접속하여 베이스를 입력, 컬렉터를 출력으로 한 스위치 회로이다. 입력  $v_{in}$ 을 “L”로 하면 트랜지스터가 ON되어 GND에 접속한 부하로 전류가 토출된다(전류를 흡수할 수는 없다).  $R_1$ 은 베이스에 흐르는 전류를 제한하는 저항이다.  $R_2$ 는 트랜지스터를 확실하게 OFF시키기 위한 풀업 저항이다. 회로에 따라서는  $R_2$ 를 생략하는 경우가 있다.

부하를 접속하지 않고 트랜지스터의 컬렉터를 그대로 출력 단자로 사용한 형태의 스위치 회로를 오픈 컬렉터라고 한다.

#### (1) 동작 파형

그림 9는 부하로서 1k $\Omega$ 의 저항을 접속하고 입력  $v_{in} = 0\text{V}/5\text{V}$ , 1kHz의 방형파를 입력한 경우의 입출력 파형이다.

표 3. 하이 사이드 ON/OFF 스위치(PNP 바이폴라 트랜지스터 사용)의 입력과 출력 관계

입력 $v_{in}$	트랜지스터의 상태	출력	
		$v_{out}$ [V]	$i_{out}$ [A]
L	ON	$V_{CC} - V_{CE(sat)}$	$\frac{V_{CC} - V_{CE(sat)}}{Z_L}$
H	OFF	0	0

$V_{CE(sat)}$  : 트랜지스터가 ON됐을 때의 컬렉터-이미터간 포화 전압

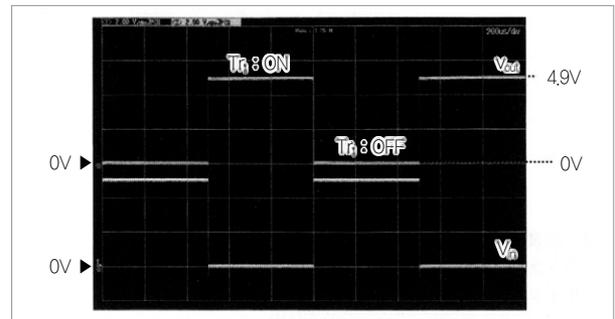


그림 9. 그림 8의 입출력 파형 (2V/div, 200 $\mu$ s/div. 부하 저항 1k $\Omega$ , 입력은 0V/5V의 1kHz 방형파)

$v_{in}=5V$ 일 때에는  $Tr_1$ 이 OFF되고  $v_{out}=0V$ 로 된다.  $v_{in}=0V$ 일 때에는  $Tr_1$ 이 ON되고  $v_{out} \approx 4.9V [= (5V - V_{CE(sat)})]$ 로 된다.

이 회로에서는 컬렉터-이미터간 포화 전압  $V_{CE(sat)} \approx 0.1V$ 로 됐지만  $V_{CE(sat)}$ 의 값은 사용하는 트랜지스터의 품종과 컬렉터 전류의 크기에 따라 결정된다. 출력 전류  $i_{out}$ 은  $4.9mA (= 4.9V/1k\Omega)$ 로 된다.

### 3. 개량 또는 어레인지된 회로의 예 ①

그림 10은 저항 내장 트랜지스터를 사용한 회로이다. 트랜지스터 내부에  $R_1, R_2$ 가 내장돼 있으므로 부품 수를 줄일 수 있다.  $R_1, R_2$  값은 트랜지스터의 종류에 따라 다르다.

### 4. 개량 또는 어레인지된 회로의 예 ②

그림 11은 트랜지스터 2개를 달링턴 접속한 회로이다. 달링턴 접속은  $Tr_1$ 의 이미터를  $Tr_2$ 의 베이스에 접속하여 회로 전체의 전류 증폭률을 높게 하는 것이다. 이렇게 하면 작은 입력 전류로 큰 출력 전류를 스위칭할 수 있다.  $R_1, R_2$ 의 기능은 기

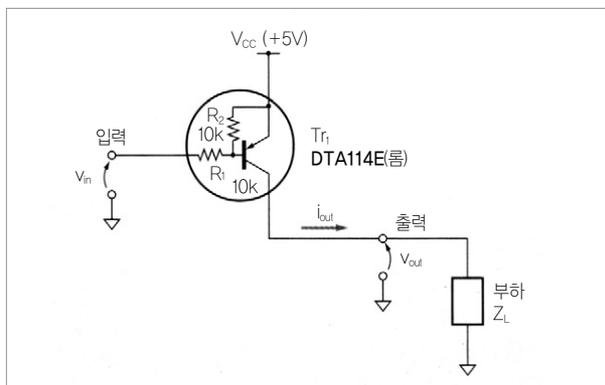


그림 10. 개량 또는 어레인지된 회로의 예 ① (저항 내장 트랜지스터를 사용한 하이 사이드 스위치 회로, 부품 수를 줄일 수 있다)

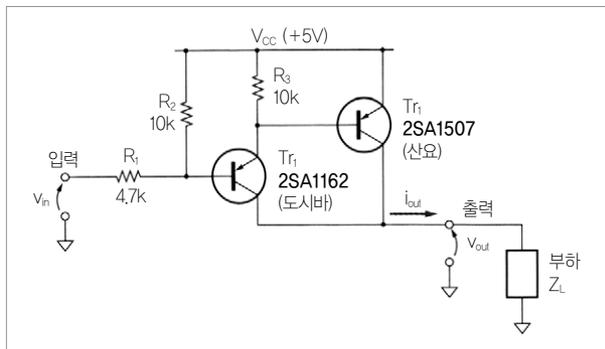


그림 11. 개량 또는 어레인지된 회로의 예 ② (두 개의 트랜지스터를 달링턴 접속한 하이 사이드 스위치 회로, 작은 입력 전류로 큰 출력 전류를 ON/OFF할 수 있다)

본형 회로와 같다.  $R_3$ 는  $Tr_2$ 를 확실하게 OFF시키기 위한 풀업 저항이다. 회로에 따라서는  $R_3$ 를 생략하는 경우도 있다.

표 4는 입력 신호에 따른 동작 상태를 나타낸 것이다. 기본형 회로와 동작은 같지만 트랜지스터가 ON됐을 때  $v_{out} \approx V_{CC} - 0.7V$  ( $0.7V$ 는  $Tr_2$ 의 베이스-이미터간 전압과 거의 같은 값)로 된다는 큰 차이가 있다.

#### (1) 동작 파형

그림 12는 부하로서  $47\Omega$ 의 저항을 접속하고 입력  $v_{in}=0V/5V, 1kHz$ 의 방형파를 입력한 경우의 입출력 파형이다.  $v_{in}=5V$ 일 때에는  $Tr_1, Tr_2$  모두 OFF되고  $v_{out}=0V$ 로 된다.  $v_{in}=0V$ 일 때에는  $Tr_1, Tr_2$  모두 ON되고  $v_{out} \approx 4.3V (= 5V - 0.7V)$ 로 된다.  $i_{out}$ 은  $92mA (= 4.3V/47\Omega)$ 이다.

표 4. 그림 11에 나타난 회로

입력 $v_{in}$	트랜지스터의 상태		출력	
	$Tr_1$	$Tr_2$	$v_{out}$ [V]	$i_{out}$ [A]
L	ON	ON	$V_{CC} - 0.7$	$\frac{V_{CC} - 0.7V}{Z_L}$
H	OFF	OFF	0	0

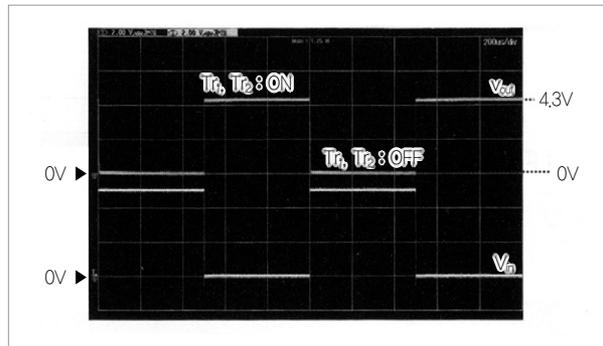


그림 12. 그림 11의 입출력 파형 (2V/div, 200 $\mu$ s/div. 부하 저항 1k $\Omega$ , 입력은 0V/5V의 1kHz 방형파)

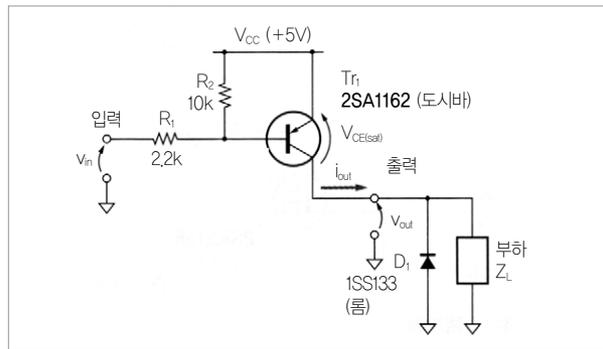


그림 13. 개량 또는 어레인지된 회로의 예 ③ (유도성 부하를 구동하는 하이 사이드 스위치 회로)



5. 개량 또는 어레인지된 회로의 예 ③

그림 13은 DC 모터나 릴레이 등의 유도성 부하를 구동하는 회로이다. 회로의 형태와 동작은 기본형 회로와 같지만, 트랜지스터가 OFF됐을 때 유도성 부하에서 발생하는 역기전력을 흡수하기 위한 프리휠 다이오드  $D_1$ 이 부하에 병렬로 접속돼 있다.

(1) 동작 파형

그림 14는 부하로서 소신소용 릴레이 EE2-5NU(NEC토킨)를 접속하고  $v_{in}=0V/5V$ , 50Hz의 방형파를 입력한 경우의 입력 출력 파형이다.  $Tr_1$ 이 OFF된 후  $v_{out} \approx -0.6V$ 로 된 부분은  $D_1$ 이 ON되어 릴레이 코일에서 발생하는 역기전력을 흡수하는 기간이다( $D_1$ 이 ON되므로  $v_{out} = GND - 0.6V$ 로 된다).

6. 참고문헌

(4), (18), (21)

기본 회로 ⑥ : 로우 사이드 ON/OFF 스위치 (N채널 MOSFET 사용)

정전원에 접속된 LED의 점등/소등이나 DC 모터의 회전/정

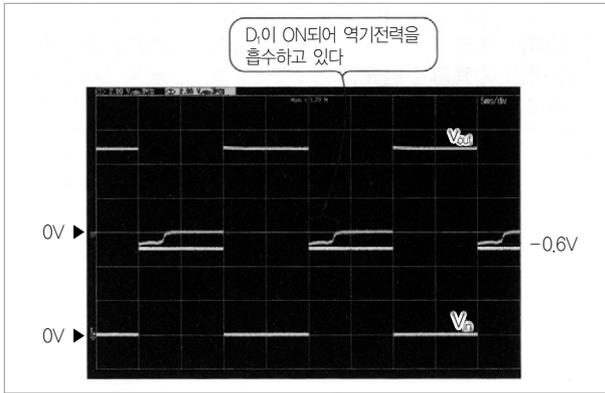


그림 14. 그림 13의 입력 출력 파형 [2V/div, 5ms/div, 부하는 소신소용 릴레이 EE2-5NU(NEC토킨), 입력은 0V/5V의 50Hz 방형파]

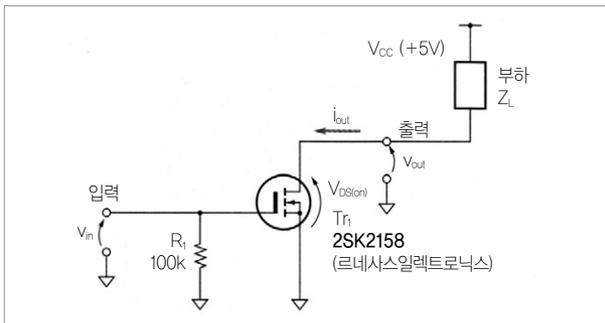


그림 15. 회로도

지, 디지털 신호의 논리 반전, 전원전압이 서로 다른 회로간 인터페이스(레벨 변환)에 사용된다. 바이폴라 트랜지스터 사용형보다 스위칭 동작이 빠르다(그림 15).

1. 입력과 출력의 관계

표 5를 참조한다.

2. 참고문헌

(2), (4), (21), (26), (28)

기본 회로 ⑥ : 하이 사이드 ON/OFF 스위치 (P채널 MOSFET 사용)

그라운드에 접속된 LED의 점등/소등이나 DC 모터의 회전/정지, 디지털 신호의 논리 반전에 사용된다. 바이폴라 트랜지스터 사용형보다 스위칭 동작이 빠르다(그림 16).

1. 입력과 출력의 관계

표 6을 참조한다.

표 5. 로우 사이드 ON/OFF 스위치(N채널 MOSFET 사용)의 입력과 출력 관계

입력 $v_{in}$	MOSFET의 상태	출력 $v_{out}$ [V]
L	OFF	$V_{CC}$
H	ON	$V_{DS(on)}$

$V_{DS(on)}$  : MOSFET이 ON됐을 때의 드레인-소스간 전압,  $V_{DS(on)} = ON저항 R_{DS(on)} \times$  드레인 전류  $i_b$

표 6. 하이 사이드 ON/OFF 스위치(P채널 MOSFET 사용)의 입력과 출력 관계

입력 $v_{in}$	MOSFET의 상태	출력 $v_{out}$ [V]
L	ON	$V_{CC} - V_{DS(on)}$
H	OFF	0

$V_{DS(on)}$  : MOSFET이 ON됐을 때의 드레인-소스간 전압,  $V_{DS(on)} = ON저항 R_{DS(on)} \times$  드레인 전류  $i_b$

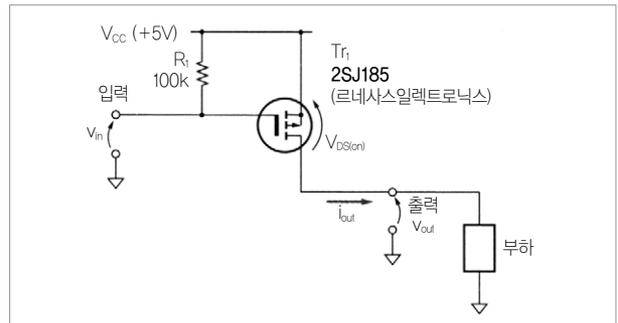


그림 16. 회로도

## 2. 참고문헌

(2), (4), (21), (26), (28)

### 기본 회로 62 : 하프 브리지 회로 (NPN/PNP 바이폴라 트랜지스터 사용)

모터나 스피커 등의 부하를 플러스, 마이너스 양방향 전압으로 구동할 수 있는 회로를 말한다. 전원 2개가 필요하다(그림 17).

#### 1. 입력과 출력의 관계

표 7을 참조한다.

## 2. 참고문헌

(4), (18), (21)

### 기본 회로 63 : 하프 브리지 회로 (N채널/P채널 MOSFET 사용)

모터나 스피커 등의 부하를 플러스, 마이너스 양방향 전압으로 구동할 수 있는 회로를 말한다. 전원 2개가 필요하다. 바

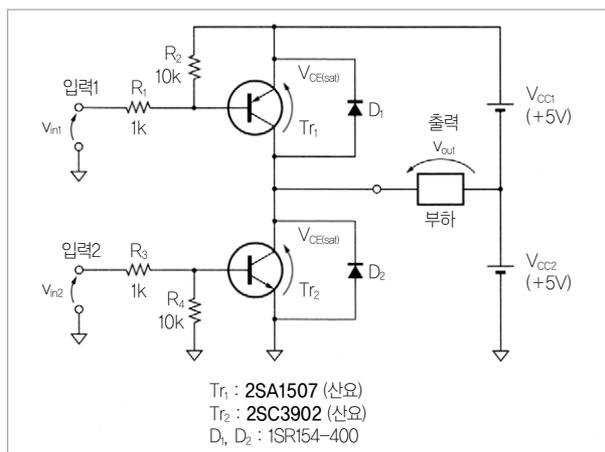


그림 17. 회로도

표 7. 하프 브리지 회로(NPN/PNP 바이폴라 트랜지스터 사용)의 입력과 출력 관계

입력		트랜지스터의 상태		출력 $V_{out}$ [V]
$V_{in1}$	$V_{in2}$	$T_{r1}$	$T_{r2}$	
L	L	ON	OFF	$+5V - V_{CE(sat)}$
H	L	OFF	OFF	부정
H	H	OFF	ON	$-5V + V_{CE(sat)}$

$V_{CE(sat)}$  : 트랜지스터가 ON됐을 때의 컬렉터-이미터간 포화 전압  
 ※  $T_{r1}, T_{r2}$ 가 동시에 ON되는 입력 조건은 제외됐다

이폴라 트랜지스터형보다 스위칭 동작이 빠르다(그림 18).

#### 1. 입력과 출력의 관계

표 8을 참조한다.

## 2. 참고문헌

(2), (4), (21), (26), (28)

### 기본 회로 64 : 풀 브리지 회로 (NPN/PNP 바이폴라 트랜지스터 사용)

모터나 스피커 등의 부하를 플러스, 마이너스 양방향 전압으로 구동할 수 있는 회로를 말한다. 단전원으로 동작한다(그림 19).

#### 1. 입력과 출력의 관계

표 9를 참조한다.

## 2. 참고문헌

(4), (18), (21)

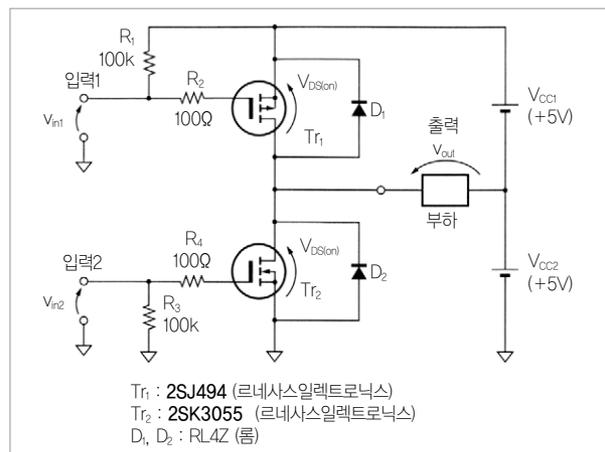


그림 18. 회로도

표 8. 하프 브리지 회로(N채널/P채널 MOSFET 사용)의 입력과 출력 관계

입력		MOSFET의 상태		출력 $V_{out}$ [V]
$V_{in1}$	$V_{in2}$	$T_{r1}$	$T_{r2}$	
L	L	ON	OFF	$+5V - V_{DS(on)}$
H	L	OFF	OFF	부정
H	H	OFF	ON	$-5V + V_{DS(on)}$

$V_{DS(on)}$  : MOSFET이 ON됐을 때의 드레인-소스간 전압.

$V_{DS(on)} = \text{저항 } R_{DS(on)} \times \text{드레인 전류 } I_D$

※  $T_{r1}, T_{r2}$ 가 동시에 ON되는 입력 조건은 제외됐다

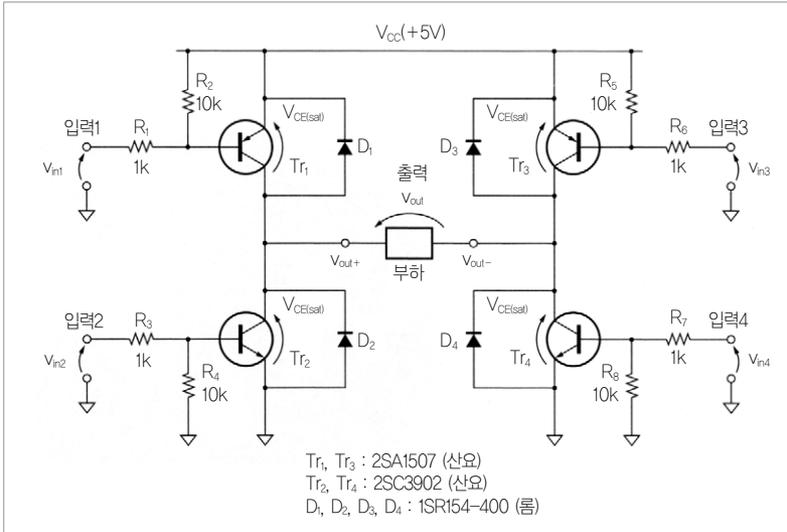


그림 19. 회로도

### 기본 회로 65: 풀 브리지 회로 (N채널 MOSFET 사용)

모터나 스피커 등의 부하를 플러스, 마이너스 양방향 전압으로 구동할 수 있는 회로를 말한다.

단전원으로 동작하며 바이폴라 트랜지스터 사용형보다 스위칭 동작이 빠르다. 온 저항이 낮은 N채널 MOSFET만 사용하므로 고효율이다.

#### 1. 입력과 출력의 관계

표 10을 참조한다.

표 9. 풀 브리지 회로(NPN/PNP 바이폴라 트랜지스터 사용)의 입력과 출력 관계

입력 [V]				트랜지스터의 상태				출력 [V]		
V <sub>In1</sub>	V <sub>In2</sub>	V <sub>In3</sub>	V <sub>In4</sub>	Tr <sub>1</sub>	Tr <sub>2</sub>	Tr <sub>3</sub>	Tr <sub>4</sub>	V <sub>out+</sub>	V <sub>out-</sub>	V <sub>out</sub> = V <sub>out+</sub> - V <sub>out-</sub>
L	L	L	L	ON	OFF	ON	OFF	V <sub>CC</sub>	V <sub>CC</sub>	0
L	L	H	L	ON	OFF	OFF	OFF	V <sub>CC</sub>	부정	부정
L	L	H	H	ON	OFF	OFF	ON	V <sub>CC</sub> - V <sub>CE(sat)</sub>	V <sub>CE(sat)</sub>	V <sub>CC</sub> - 2V <sub>CE(sat)</sub>
H	L	L	L	OFF	OFF	ON	OFF	부정	V <sub>CC</sub>	부정
H	L	H	L	OFF	OFF	OFF	OFF	부정	부정	부정
H	L	H	H	OFF	OFF	OFF	ON	부정	0	부정
H	H	L	L	OFF	ON	ON	OFF	V <sub>CE(sat)</sub>	V <sub>CC</sub> - V <sub>CE(sat)</sub>	-V <sub>CC</sub> + 2V <sub>CE(sat)</sub>
H	H	H	L	OFF	ON	OFF	OFF	0	부정	부정
H	H	H	H	OFF	ON	OFF	ON	0	0	0

V<sub>CE(sat)</sub> : 트랜지스터가 ON됐을 때의 컬렉터-이미터간 포화 전압  
 ※ Tr<sub>1</sub>, Tr<sub>2</sub>가 동시에 ON되는 입력 조건은 제외됐다

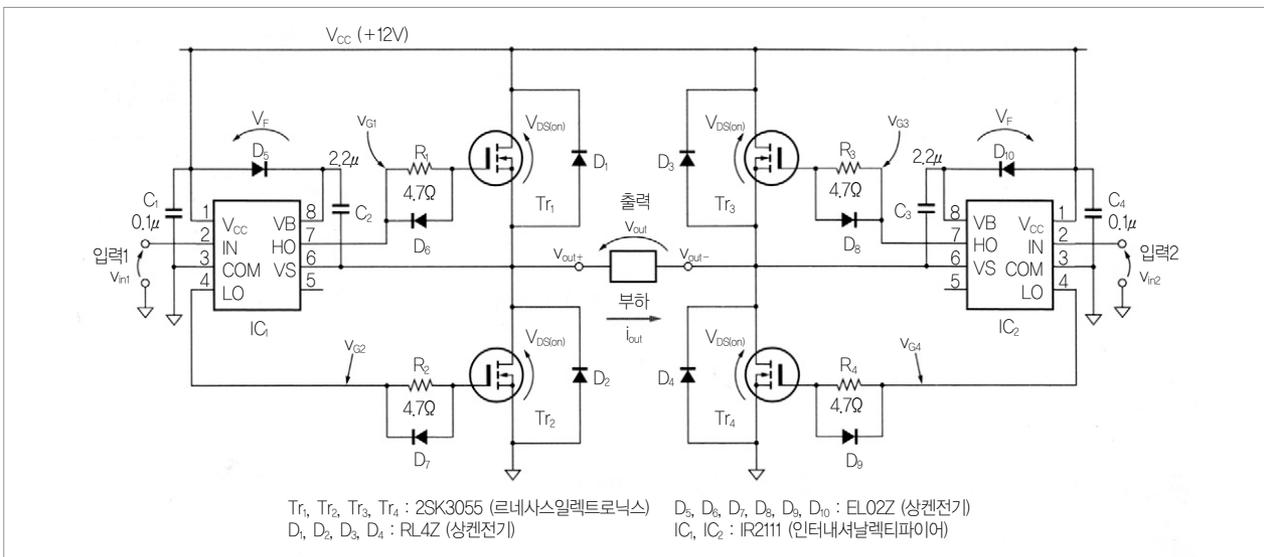


그림 20. 회로도

## 2. 기본형

그림 20은 풀 브리지, H 브리지 등으로 불리는 스위치 회로를 나타낸 것이다.

스위치 소자  $Tr_1, Tr_2, Tr_3, Tr_4$ 에 P채널 MOSFET을 사용하지 않으므로 저렴하고 종류가 많은 N채널 MOSFET만으로 구성되어 있다는 점이 큰 특징이다. 출력 단자 사이에 출력  $V_{out} = +V_{CC}/0V/-V_{CC}$ 의 3종류 전압을 출력할 수 있다.

일반적으로 풀 브리지의 스위치로 동작하는 각 MOSFET의 게이트는 게이트 드라이버라고 하는 전용 IC로 구동한다. 이것은 하이 사이드(전원 측)의 N채널 MOSFET(이 회로에서는  $Tr_1, Tr_3$ )을 ON시키기 위해 전원전압 이상의 전압을 만들어내는 부트스트랩 전원을 필요로 하기 때문이다. 또 MOSFET이 큰 입력 용량을 고속으로 충방전한다는 목적도 있다.

게이트 드라이버 IC에 IR2111을 사용하고 하나의 입력 신호로 하이 사이드와 로우 사이드(GND 측)의 MOSFET 두 개를 구동했다.

$R_1, R_2, R_3, R_4$ 는 MOSFET이 ON되는 스피드를 억제하여 동작을 안정시키기 위한 저항이다. 저항 대신에 페라이트 비드가 사용되는 경우도 있다.

$D_6, D_7, D_8, D_9$ 는 게이트에서 고속으로 전류를 나오게 하여 MOSFET을 빠르게 OFF시키기 위한 다이오드이다. 회로에 따라서는 생략되는 경우도 있다.

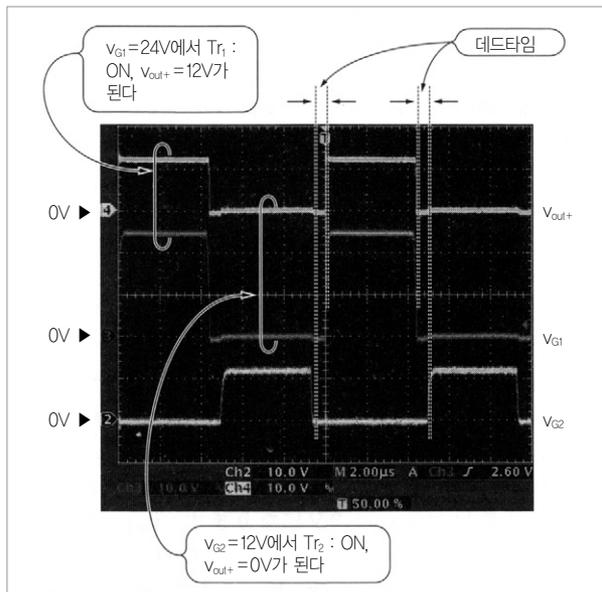


그림 22. 그림 20에 나타난  $Tr_1$ 과  $Tr_2$ 의 게이트 구동 파형 (10V/div, 2 $\mu$ s/div,  $v_{in1} = 0V/12V$  100kHz의 방형파,  $v_{in2} = 0V$ 인 경우)

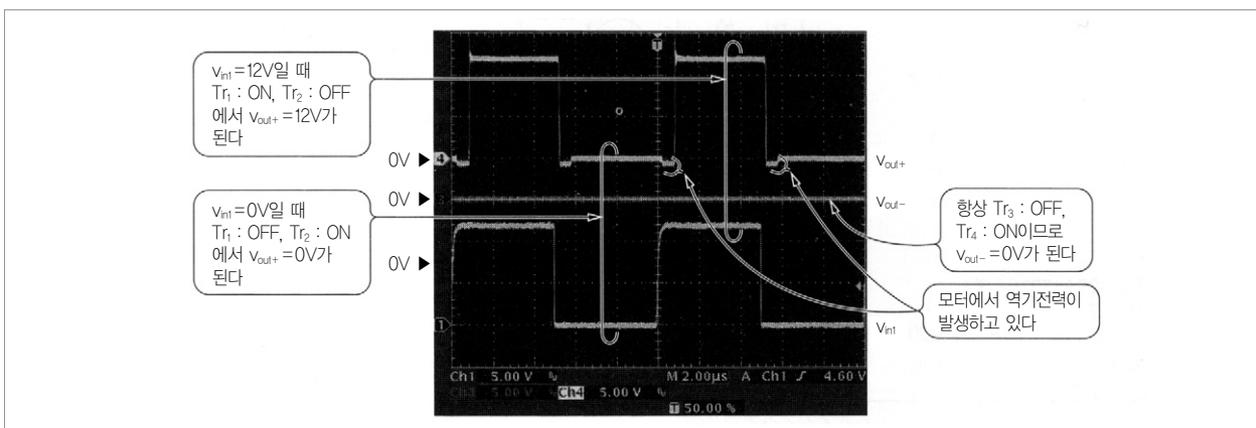


그림 21. 그림 20의 입출력 파형 [5V/div, 2 $\mu$ s/div. 부하로서 DC 모터 DME44SA(일본서보) 접속,  $v_{in1} = 0V/12V$  100kHz의 방형파,  $v_{in2} = 0V$ 인 경우]

표 10. 풀 브리지 회로(N채널 MOSFET 사용)의 입력과 출력 관계

입력		게이트 구동 전압 [V]				MOSFET의 상태				출력 [V]		
$V_{in1}$	$V_{in2}$	$V_{G1}$	$V_{G2}$	$V_{G3}$	$V_{G4}$	$Tr_1$	$Tr_2$	$Tr_3$	$Tr_4$	$V_{out+}$	$V_{out-}$	$V_{out} = V_{out+} - V_{out-}$
L	L	0	12	0	12	OFF	ON	OFF	ON	0	0	0
L	H	0	12	24	0	OFF	ON	ON	OFF	$V_{DS(on)}$	$V_{CC} - V_{DS(on)}$	$-V_{CC} + 2V_{DS(on)}$
H	L	24	0	0	12	ON	OFF	OFF	ON	$V_{CC} - V_{DS(on)}$	$V_{DS(on)}$	$V_{CC} - 2V_{DS(on)}$
H	H	24	0	24	0	ON	OFF	ON	OFF	$V_{CC}$	$V_{CC}$	0

이 회로에서 L : 0V, H : 12V

$V_{DS(on)}$  : MOSFET이 ON됐을 때의 드레인-소스간 전압,  $V_{DS(on)} = \text{온 저항 } R_{DS(on)} \times \text{드레인 전류 } i_D$



$D_1, D_2, D_3, D_4$ 는 모터 등의 유도성 부하를 접속했을 때 발생하는 역기전력을 흡수하기 위한 프리휠 다이오드이다. MOSFET 내부에 존재하는 보디 다이오드를 프리휠 다이오드로 사용할 경우에는 생략되는 경우도 있다.

그림 21에 부하로서 DC 모터 DME44SA(일본 서보)를 접속하여 입력  $1v_{in1}=0V/12V$ ,  $100kHz$ 의 방형파, 입력  $2v_{in2}=0V$ 로 했을 경우의 입출력 파형을 나타낸다.

$v_{in1}=0V$ 일 때에는  $Tr_1 : OFF, Tr_2 : ON$ 으로 되므로 플러스 측 출력  $v_{out+}=0V$ 로 된다.  $v_{in1}=12V$ 일 때에는  $Tr_1 : ON, Tr_2 : OFF$ 로 되므로  $v_{out+}=12V$ 로 된다( $v_{out+}=12V-V_{DS(on)}$ )이지만,  $V_{DS(on)}$ 가 상당히 작으므로 오실로스코프로는 확인할 수 없다.

$v_{out+}$ 의 파형에서 봤을 때  $0V$ 보다 전위가 낮은 부분은 프리

휠 다이오드  $D_2$ 가 ON되어 모터의 역기전력을 흡수하는 기간이다.

마이너스 측 출력  $v_{out-}$ 는  $v_{in2}=0V$ 이므로  $Tr_3 : OFF, Tr_4 : ON$ 으로 되며 항상  $0V$ 로 된다( $v_{out+}=12V$ 일 때  $v_{out-}=0V+V_{DS(on)}$ )이지만,  $V_{DS(on)}$ 가 아주 작으므로 오실로스코프에서는 확인할 수 없다.

그림 22에  $Tr_1$ 과  $Tr_2$ 의 게이트 구동 신호  $v_{G1}, v_{G2}$ 와  $v_{out+}$ 의 파형을 나타낸다(입력신호는 그림 21과 같다).  $v_{G1}=+24V$ 일 경우  $Tr_1 : ON$ 에서  $v_{out+}=12V(12V-V_{DS(on)})$ 로 된다.  $v_{G2}=12V$ 일 경우  $Tr_2 : ON$ 에서  $v_{out+}=0V$ 로 된다.  $v_{G1}$ 이 하이 레벨일 때의 진폭  $v_{GH}$ 는 다음과 같이 결정된다.

$v_{GH} = \text{브리지 부분의 전원전압} + \text{게이트 드라이브 IC의 전}$

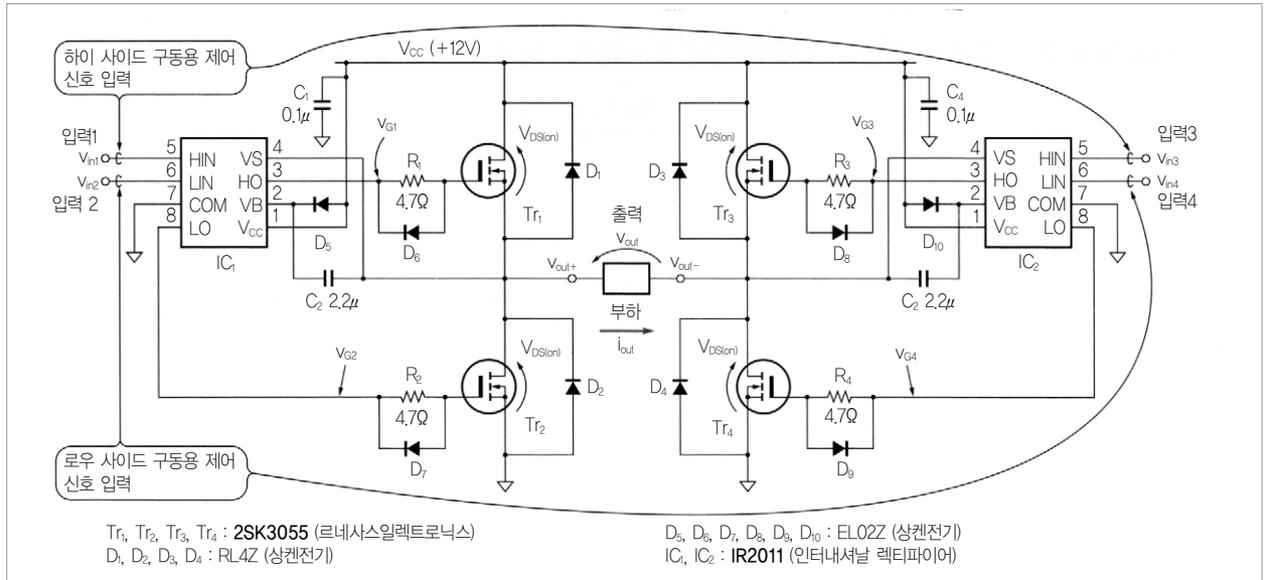


그림 23. 개량 또는 아레인지된 회로의 예 (그림 20의 회로는 하나의 제어 입력으로 하이 사이드와 로우 사이드를 ON/OFF하고 있다. 이 회로에는 하이 사이드용, 로우 사이드용으로 2개의 제어 입력이 있다)

표 11. 그림 23의 입출력 특성

입력				게이트 구동 전압 [V]				MOSFET의 상태				출력 [V]		
$v_{in1}$	$v_{in2}$	$v_{in3}$	$v_{in4}$	$v_{G1}$	$v_{G2}$	$v_{G3}$	$v_{G4}$	$Tr_1$	$Tr_2$	$Tr_3$	$Tr_4$	$v_{out+}$	$v_{out-}$	$v_{out} = v_{out+} - v_{out-}$
L	L	L	L	0	0	0	0	OFF	OFF	OFF	OFF	부정	부정	부정
L	L	L	H	0	0	0	12	OFF	OFF	OFF	ON	부정	0	부정
L	L	H	L	0	0	24	0	OFF	OFF	ON	OFF	부정	$V_{CC}$	부정
L	H	L	L	0	12	0	0	OFF	ON	OFF	OFF	0	부정	부정
L	H	L	H	0	12	0	12	OFF	ON	OFF	ON	0	0	0
L	H	H	L	0	12	24	0	OFF	ON	ON	OFF	$V_{DS(on)}$	$V_{CC}-V_{DS(on)}$	$-V_{CC}+2V_{DS(on)}$
H	L	L	L	24	0	0	0	ON	OFF	OFF	OFF	$V_{CC}$	부정	부정
H	L	L	H	24	0	0	12	ON	OFF	OFF	ON	$V_{CC}-V_{DS(on)}$	$V_{DS(on)}$	$V_{CC}-2V_{DS(on)}$
H	L	H	L	24	0	24	0	ON	OFF	ON	OFF	$V_{CC}$	$V_{CC}$	0

이 회로에서는 L : 0V, H : 3V

원전압  $-V_F$  [V]

여기서  $V_F$ 는 게이트 드라이버 IC 외부에 장착한 부트스트랩 전원용 다이오드의 순방향 전압 강하이다.

이 회로는 브리지 부분과 게이트 드라이버 IC의 전원을 공통 12V로 했기 때문에  $V_F$ 를 무시하면  $v_{GH}=24V(=12V+12V)$ 로 된다.

하이사이드와 로우사이드의 MOSFET이 동시에 ON되어 버리면  $V_{CC}$ 에서 GND를 향해 대전류(슈트 스루 전류라고 한다)가 흘러 MOSFET이 파괴되므로 ON인 기간이 오버랩되지 않도록  $v_{G1}=v_{G2}=0V$ 인 데드 타임을 둔다.

### 3. 개량 또는 어레인지된 회로의 예

그림 23에 하이사이드와 로우사이드의 MOSFET 게이트를 각각 제어하는 회로를 나타낸다. 이렇게 하면 회로의 효율

을 올리기 위해 상세히 제어할 수 있게 된다. 그림 23의 회로는 게이트 드라이버에 하이사이드와 로우사이드를 각각 제어할 수 있는 IC IR2011을 사용했다. 그 외에는 기본형 회로와 같다.

표 11은 입력 신호에 의한 동작 상태를 나타낸 것이다. 위, 아래의 MOSFET을 동시에 OFF할 수 있는 상태가 추가되었다(그 때의 출력 전압은 부정).

입력 조합 중  $Tr_1$ 과  $Tr_2$  또는  $Tr_3$ ,  $Tr_4$ 가 동시에 ON되는 상태는 슈트스루 전류가 흘러 MOSFET이 파괴돼 버리므로 설정할 수 없다(표 11에서는 제외했다). 각 부의 동작 파형은 기본형 회로와 같다.

### 4. 참고문헌

(2), (4), (21), (26), (27), (28)

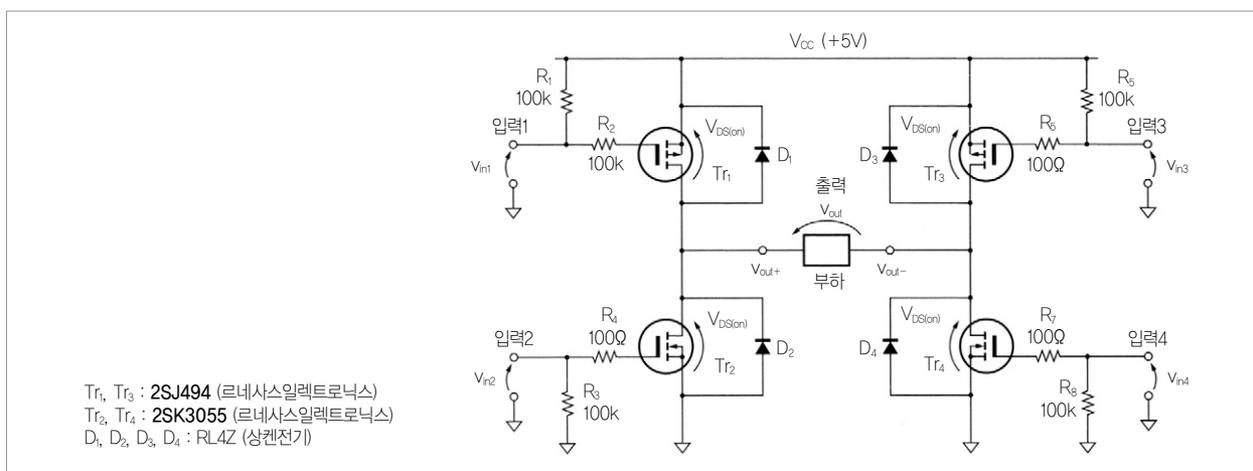


그림 24. 회로도

표 12. 풀 브리지 회로(N채널/P채널 MOSFET 사용)의 입력과 출력 관계

입력 [V]				MOSFET 의 상태				출력 [V]		
$V_{in1}$	$V_{in2}$	$V_{in3}$	$V_{in4}$	$Tr_1$	$Tr_2$	$Tr_3$	$Tr_4$	$V_{out+}$	$V_{out-}$	$V_{out} = V_{out+} - V_{out-}$
L	L	L	L	ON	OFF	ON	OFF	$V_{CC}$	$V_{CC}$	0
L	L	H	L	ON	OFF	OFF	OFF	$V_{CC}$	부정	부정
L	L	H	H	ON	OFF	OFF	ON	$V_{CC} - V_{DS(on)}$	$V_{DS(on)}$	$V_{CC} - 2V_{DS(on)}$
H	L	L	L	OFF	OFF	ON	OFF	부정	$V_{CC}$	부정
H	L	H	L	OFF	OFF	OFF	OFF	부정	부정	부정
H	L	H	H	OFF	OFF	OFF	ON	부정	0	부정
H	H	L	L	OFF	ON	ON	OFF	$V_{DS(on)}$	$V_{CC} - V_{DS(on)}$	$-V_{CC} - 2V_{DS(on)}$
H	H	H	L	OFF	ON	OFF	OFF	0	부정	부정
H	H	H	H	OFF	ON	OFF	ON	0	0	0

$V_{DS(on)}$  : MOSFET이 ON됐을 때의 드레인-소스간 전압,  $V_{DS(on)} = ON$  저항  $R_{DS(on)} \times$  드레인 전류  $i_D$   
 ※  $Tr_1$ ,  $Tr_2$ 가 동시에 ON되는 입력 조건은 제외됐다

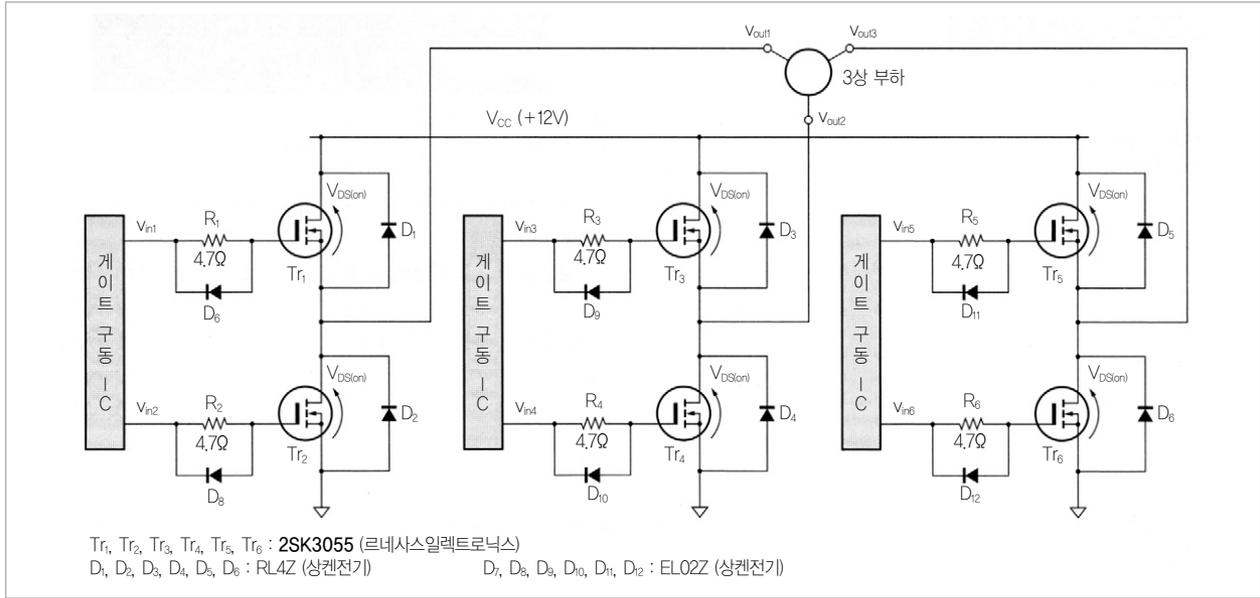


그림 25. 회로도

표 13. 3상 풀 브리지 회로(N채널 MOSFET 사용)의 입력과 출력 관계

입력 [V]						MOSFET 의 상태						출력 [V]		
V <sub>in1</sub>	V <sub>in2</sub>	V <sub>in3</sub>	V <sub>in4</sub>	V <sub>in5</sub>	V <sub>in6</sub>	Tr <sub>1</sub>	Tr <sub>2</sub>	Tr <sub>3</sub>	Tr <sub>4</sub>	Tr <sub>5</sub>	Tr <sub>6</sub>	V <sub>out1</sub>	V <sub>out2</sub>	V <sub>out3</sub>
L	L	-	-	-	-	OFF	OFF	-	-	-	-	부정	-	-
L	H	-	-	-	-	OFF	ON	-	-	-	-	V <sub>DS(on)</sub>	-	-
H	L	-	-	-	-	ON	OFF	-	-	-	-	V <sub>CC</sub> - V <sub>DS(on)</sub>	-	-
-	-	L	L	-	-	-	-	OFF	OFF	-	-	-	부정	-
-	-	L	H	-	-	-	-	OFF	ON	-	-	-	V <sub>DS(on)</sub>	-
-	-	H	L	-	-	-	-	ON	OFF	-	-	-	V <sub>CC</sub> - V <sub>DS(on)</sub>	-
-	-	-	-	L	L	-	-	-	-	OFF	OFF	-	-	부정
-	-	-	-	L	H	-	-	-	-	OFF	ON	-	-	V <sub>DS(on)</sub>
-	-	-	-	H	L	-	-	-	-	ON	OFF	-	-	V <sub>CC</sub> - V <sub>DS(on)</sub>

V<sub>DS(on)</sub> : MOSFET이 ON됐을 때의 드레인-소스간 전압, V<sub>DS(on)</sub> = ON 저항 R<sub>DS(on)</sub> × 드레인 전류 I<sub>D</sub>  
 ※ Tr<sub>1</sub>, Tr<sub>2</sub>, Tr<sub>3</sub>와 Tr<sub>4</sub>, Tr<sub>5</sub>, Tr<sub>6</sub>가 동시에 ON되는 입력 조건은 제외됐다

### 기본 회로 66 : 풀 브리지 회로 (N채널/P채널 MOSFET 사용)

모터나 스피커 등의 부하를 플러스, 마이너스 양방향 전압으로 구동할 수 있는 회로를 말한다.

단전원으로 동작하며 바이폴라 트랜지스터 사용형보다 스위칭 동작이 빠르다(그림 24).

#### 1. 입력과 출력의 관계

표 12를 참조한다.

#### 2. 참고문헌

(2), (4), (21), (26), (28)

### 기본 회로 67 : 3상 풀 브리지 회로 (N채널 MOSFET 사용)

모터와 같은 3상 부하를 플러스, 마이너스 양방향 전압으로 구동할 수 있는 회로를 말한다. 단전원으로 동작하며 바이폴라 트랜지스터 사용형보다 스위칭 동작이 빠르다. ON 저항이 낮은 N채널 MOSFET만 사용하므로 고효율이다(그림 25).

#### 1. 입력과 출력의 관계

표 13을 참조한다.

#### 2. 참고문헌

(2), (4), (21), (26), (28)



클럭 신호나 정현파가 발생한다

# 8

## 방형파나 정현파를 생성하는 발진 회로

鈴木 雅臣

### 기본 회로 ㉞: 무안정 멀티 바이프레이터형 방형파 발진 회로(인버터 IC 사용)

발진주파수의 정밀도는 낮지만 동작이 안정적이다. 출력 신호의 듀티가 거의 50%이며, 부품 수가 적다.

#### 1. 발진주파수를 구하는 식

$$\text{발진주파수 } f_0 \doteq \frac{1}{CR} [\text{Hz}]$$

#### 2. 기본형

그림 1은 CMOS 클럭 IC의 슈미트 트리거 인버터를 사용한 CR형 방형파 발진 회로이다. 출력  $V_{out}$  에서 R을 통과하여 C를 충전함으로써 발진을 지속한다.

발진주파수  $f_0$ 는 CR에 따라 결정되지만 엄밀하게는 슈미트 트리거 인버터의 입력 임계값 전압도 관련이 있다. 따라서  $f_0$

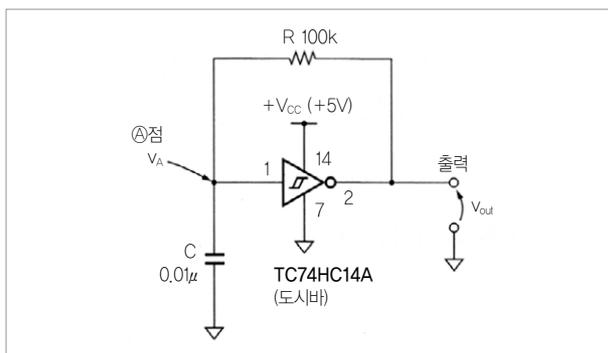


그림 1. 회로도

를 정확하게 설정할 수 없다. 그림 1의  $f_0$ 는 약  $1\text{kHz}(=1/(0.01\mu\text{F} \times 100\text{k}\Omega))$ 이다.

#### (1) 동작 파형

그림 2는 각 부의 동작 파형이다.  $v_{out}$ 은  $f_0=1\text{kHz}(=1/1\text{ms})$ , 듀티비("L"과 "H"의 기간 비율)=50%의 방형파가 된다. ㉞점의 파형  $v_A$ 는 슈미트 트리거 인버터의 임계값 전압 2개 사이를 오르내리는 삼각파(정확하게는 지수함수 파형)가 된다.

#### 3. 참고문헌

(2), (25) - 본지 39쪽 참조

### 기본 회로 ㉞: 무안정 멀티 바이프레이터형 방형파 발진 회로(OP 앰프 사용)

발진주파수의 정밀도는 낮지만 동작이 안정적으로 된다.

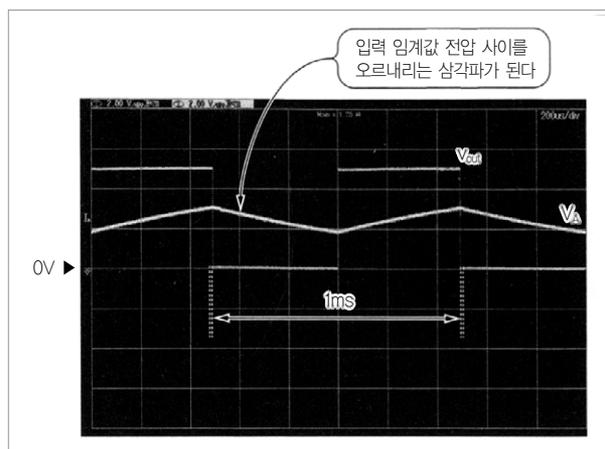


그림 2. 그림 1의 각 부 파형 (2V/div, 200μs/div,  $v_{out}$ 은 1kHz, 듀티비 50%의 방형파)



출력 신호의 듀티가 거의 50%로 되며 큰 출력 진폭을 얻을 수 있다.

### 1. 발진주파수를 구하는 식

$$f_0 \approx \frac{1}{2C_1R_1 \ln \left( 1 + \frac{2R_3}{R_2} \right)} \text{ [Hz]}$$

### 참고문헌

(5), (6), (23), (25)

### 기본 회로 ⑦⑩ : 수정 진동자를 사용한 방형파 발진 회로

온도 안정도와 경년 안정도가 뛰어나고 주파수 정밀도도 높다. 회로 구성이 간단하므로 디지털 회로의 클럭원으로도 이용된다.

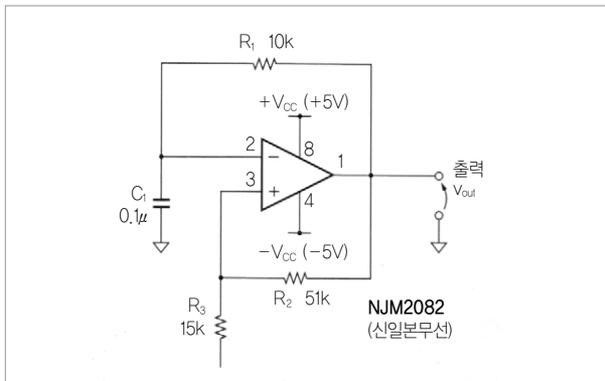


그림 3. 회로도

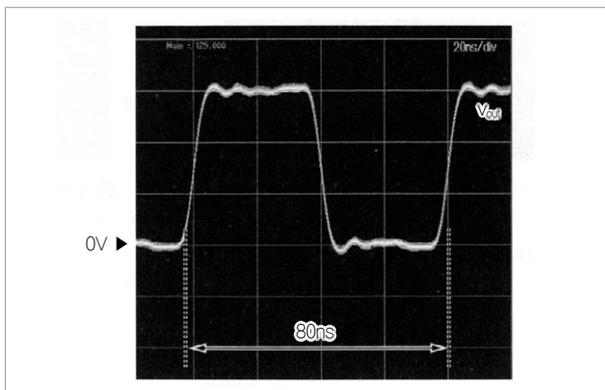


그림 5. 그림 4의 출력 파형 (1V/div, 20ns/div. 발진주파수 12.5MHz, 듀티비 50%의 방형파)

### 1. 발진주파수를 구하는 식

발진주파수  $f_0$  = 수정진동자의 발진주파수 [Hz]

### 2. 기본형

그림 4는 CMOS 클럭 IC의 인버터를 사용한, 가장 일반적인 수정 진동자형 방형파 발진 회로를 나타낸 것이다.

인버터에는 74HC 시리즈의 74HCU04(내부 단수가 1단인 인버터)가 흔히 사용된다. 발진주파수  $f_0$ 는 사용하는 수정 진동자  $X_1$ 에 따라 결정된다( $C_1$ 과  $C_2$ 에 의해 미세 조정 가능). 이 회로는  $f_0=12.5\text{MHz}$ 의 수정 진동자를 사용하고 있다.  $C_1$ 과  $C_2$ 는 수정 진동자를 발진시키기 위해 필요한 부하 용량이며,  $C_1$ 과  $C_2$ 의 값은 수정 진동자의 품종에 따라 다르다.  $R_1$ 은 ㉠점에 직류 전압을 부여하기 위한 저항으로 수백k~수MΩ의 높은 저항이 사용된다.  $R_2$ 는 수정 진동자를 구동하는 전력을 조

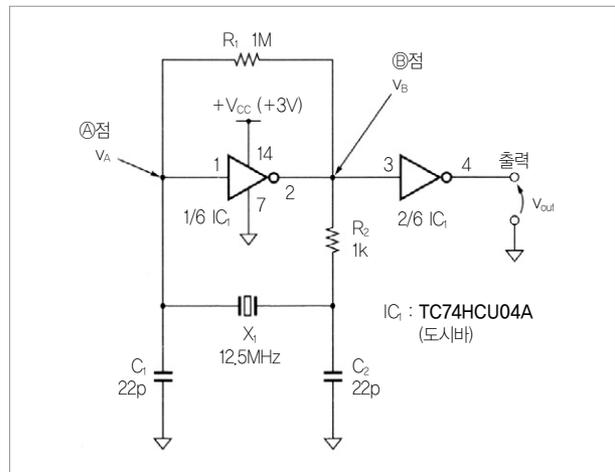


그림 4. 회로도

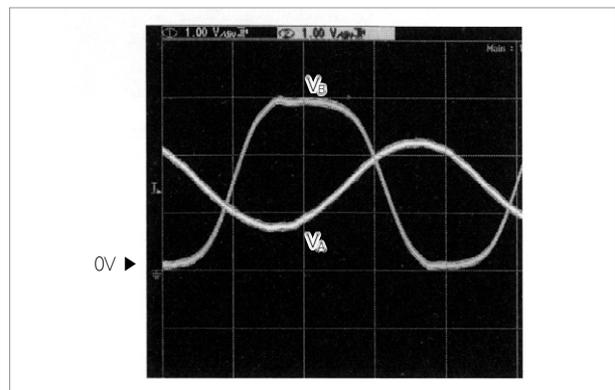


그림 6. 그림 4의 ㉠점은 정현파, ㉡점은 위아래가 뭉개진 정현파로 된다 (1V/div, 20ns/div)

정하기 위한 저항이다.  $R_2$ 의 값은 수정 진동자의 품종에 따라 다르다. 또한  $R_2$ 를 생략하는 경우도 있다.

(1) 동작 파형

그림 5는 출력  $v_{out}$ 의 파형을 나타낸 것이다.  $f_0=12.5\text{MHz}(=1/80\text{ns})$ , 듀티비("L"과 "H" 기간의 비율)=50%인 방형파가 된다. 그림 6은 ㉠점과 ㉡점의 파형  $v_A, v_B$ 를 나타낸 것이다.  $v_A$ 는 정현파,  $v_B$ 는 위, 아래가 찌그러진 정현파로 된다.

3. 개량 또는 어레인지된 회로의 예 ①

그림 7은 수정 진동자 대신 세라믹 진동자를 사용한 회로이다. 세라믹 진동자는 수정 진동자보다 저렴하지만 발진주파수의 정밀도와 온도 안정도, 경년 안정도 등이 떨어진다. 발진주파수  $f_0$ 는 사용하는 세라믹 진동자에 따라 결정된다. 이 회로에서 사용한 세라믹 진동자 CSTLS8M00G(무라다제작소)의

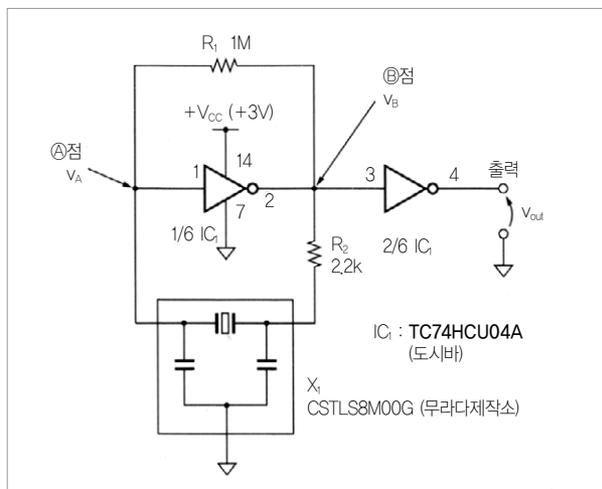


그림 7. 개량 또는 어레인지된 회로의 예 (수정진동자 대신 세라믹 진동자를 사용한 회로)

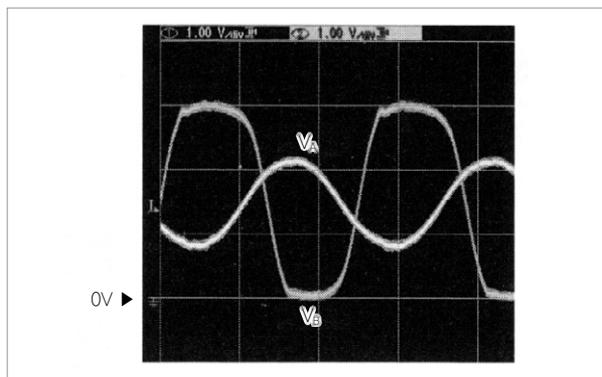


그림 9. 그림 7의 ㉠점은 정현파, ㉡점은 위아래가 뭉개진 정현파로 된다 (1V/div, 50ns/div. 수정을 사용한 기본 회로와 거의 같다)

발진주파수는 8MHz이다. CSTLS8M00G는 부하 용량(기본형 회로의  $C_1, C_2$ )을 내장하고 있지만 품종에 따라서는 외장한 것도 있다.

(1) 동작 파형

그림 8은 출력  $v_{out}$ 의 파형을 나타낸 것이다.  $f_0=8\text{MHz}(1/125\text{ns})$ , 듀티비=50%인 방형파를 얻을 수 있다. 그림 9는 ㉠점과 ㉡점의 파형  $v_A, v_B$ 이다.  $v_A, v_B$  모두 기본형 회로와 거의 같은 파형으로 된다.

4. 개량 또는 어레인지된 회로의 예 ②

대부분의 마이컴이나 DSP, FPGA는 수정 진동자나 세라믹 진동자를 외장하기만 해도 클럭 신호를 얻을 수 있는 클럭 발진 회로를 내장하고 있다.

그림 10과 같이 진동자를 접속하는 단자 내부에는 CMOS 인버터가 접속되어 있다. 따라서 이러한 단자에 진동자 등을

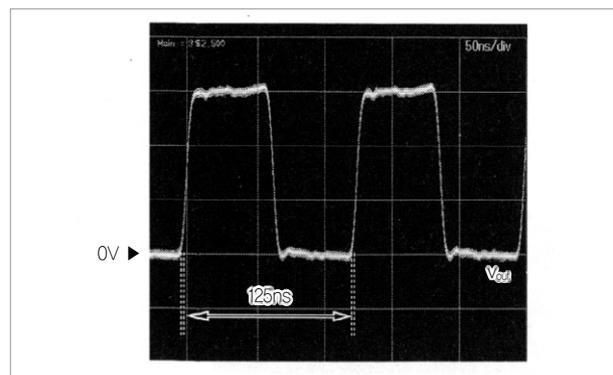


그림 8. 그림 7의 출력 파형 (1V/div, 50ns/div, 발진주파수 8MHz, 듀티비 50%의 방형파)

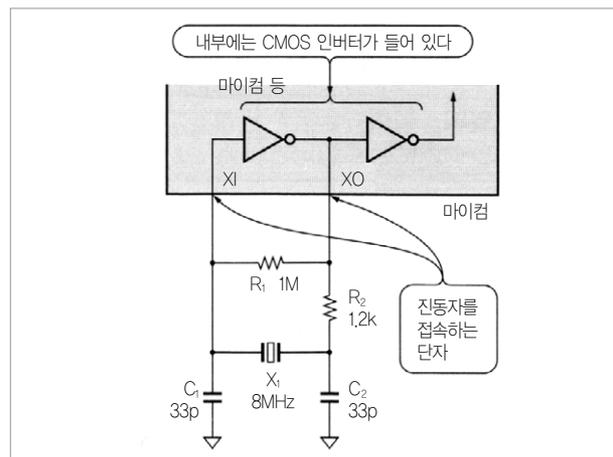


그림 10. 개량 또는 어레인지된 회로의 예 (마이컴에 내장되어 있는 클럭 발진 회로)

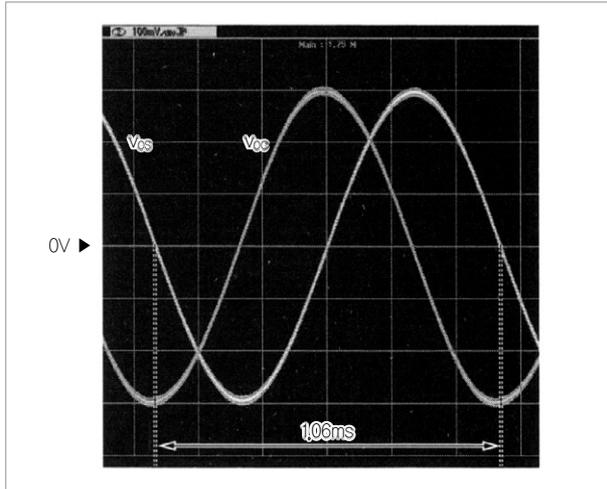


그림 12 그림 11의 SIN 출력( $V_{CS}$ )과 COS 출력( $V_{OC}$ )의 파형 (0,1V/div, 200 $\mu$ s/div. 발진주파수는 약 940Hz)

접속하면 방형파 발진 회로를 형성할 수 있다. 마이컴이나 DSP, FPGA 등의 품종에 따라서는  $R_1$ ,  $C_1$ ,  $C_2$ 를 내장한 것도 있다. 또한,  $R_2$ 를 생략하는 경우도 있다.

5. 참고문헌

(4), (5), (21), (25)

기본 회로 ⑦ : 2상 출력형 정현파 발진 회로

위상이 90° 다른 2개의 정현파가 한번에 출력된다. 무조정이고 변형이 적으며 발진 동작이 안정적이다.

1. 발진주파수를 구하는 식

$$f_0 \approx \frac{1}{2\pi \sqrt{C_1 C_2 R_1 R_2}} \text{ [Hz]}$$

단,  $C_3 R_3 = C_1 R_1$ 이라고 한다.

2. 기본형

그림 11은 2상 발진기나 쿼드러처 발진기, 직교 출력 발진기 등으로 불리는 정현파 발진 회로이다. 비반전 적분기( $IC_1$  1/2)와 반전 적분기( $IC_1$  2/2)를 루프 형태로 접속하여 발진 회로를 구성했다.

발진주파수  $f_0$ 는  $C_3 R_3 = C_1 R_1$ 이라고 했을 때,  $C_1$ ,  $C_2$ ,  $R_1$ ,  $R_2$ 에 따라 결정된다. 이 회로는  $f_0 = 940\text{Hz} (\approx 1/(2\pi \sqrt{0.01\mu\text{F} \times 0.01\mu\text{F} \times 16\text{k}\Omega \times 18\text{k}\Omega}))$ 로

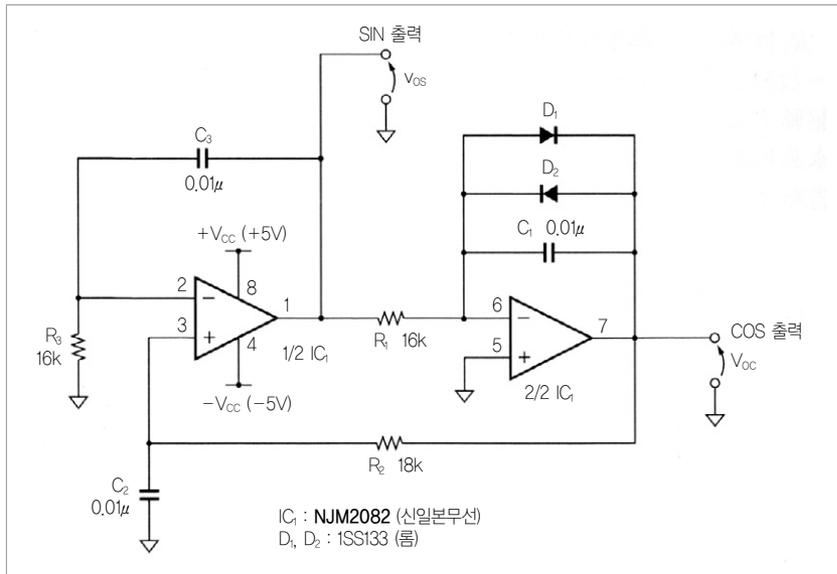


그림 11. 회로도

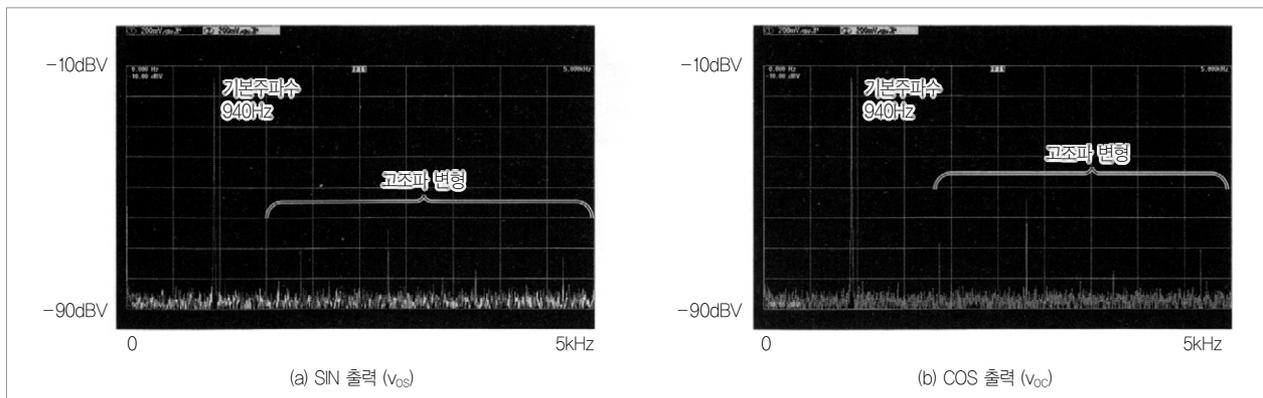


그림 13. 그림 11의 SIN출력( $V_{CS}$ )과 COS 출력( $V_{OC}$ )의 주파수 스펙트럼 (0dBV=1V<sub>RMS</sub>. 전체 고조파 왜곡률 THD는  $V_{CS}$ 가 0.3%,  $V_{OC}$ 가 1%)

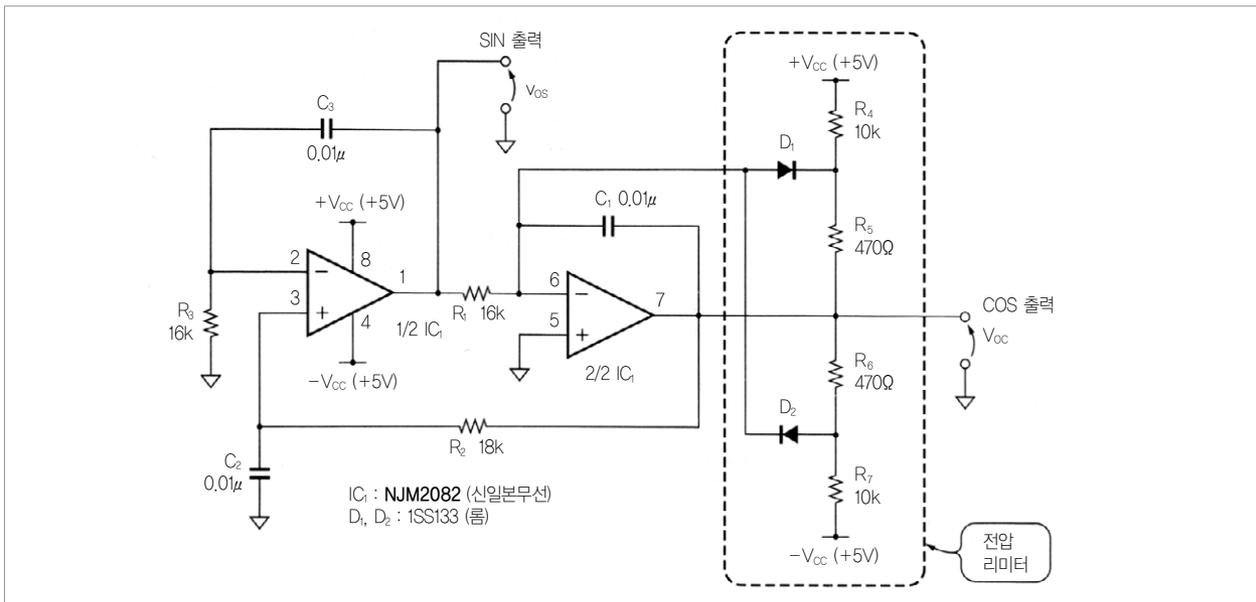


그림 14. 개량 또는 어레인지된 회로의 예 (기본형 회로와 전압 리미터가 다른 회로)

된다.

$f_0$ 를 정확하게 설정해야 하는 용도에서는 저항과 콘덴서로 허용차가 작은 고정밀도의 소자(예를 들면  $\pm 1\%$ )를 사용하는 경우가 있다.

발전 동작을 안정시키기 위하여  $C_2R_2$ 는  $C_1R_1$ 보다 몇% 이상 크게 설정된다.  $D_1, D_2$ 는 출력 진폭을 제한하기 위한 전압 리미터이다.

(1) 동작 파형

그림 12는 정현파(SIN) 출력  $v_{OS}$ 와 여현파(COS) 출력  $v_{OC}$  파형을 나타낸 것이다.

위상이  $90^\circ$  다른 정현파 출력 두 개를 얻을 수 있다.  $f_0$ 는 약  $940\text{Hz}(=1/1.06\text{ms})$ 이다.

(2) 주파수 스펙트럼

그림 13은  $v_{OS}$ 와  $v_{OC}$ 의 주파수 스펙트럼이다.  $940\text{Hz}$  기본 주파수의 정수배 주파수에 고조파 왜곡 성분이 보인다. 이 회로의 전체 고조파 왜곡률 THD는  $v_{OS}$ 가  $0.3\%$ ,  $v_{OC}$ 가  $1\%$ 이다.  $v_{OC}$ 를 출력하는 OP 앰프  $IC_1$  2/2에 전압 리미터를 걸었으므로  $v_{OS}$ 보다  $v_{OC}$ 의 왜곡률이 나빠진다.

3. 개량 또는 어레인지된 회로의 예

그림 14는 기본형 회로와 전압 리미터가 다른 회로이다.  $IC_1$  2/2의 귀환 회로에  $D_1, D_2, R_4 \sim R_7$ 으로 구성된 전압 리미터를 접속했다. 그밖에는 기본형 회로와 같다.

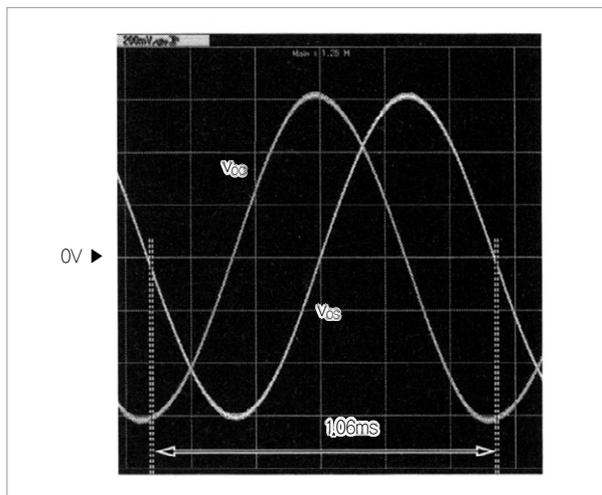


그림 15. 그림 14의 SIN 출력  $v_{OS}$ 와 COS 출력  $v_{OC}$ 의 파형 (0.2V/div, 200 $\mu$ s/div, 발전주파수는 940Hz, 전 고조파 왜곡률 THD는  $v_{OS}$ 가 0.4%,  $v_{OC}$ 가 1.3%)

(1) 동작 파형

그림 15는  $v_{OS}$ 와  $v_{OC}$ 의 파형을 나타낸 것이다. 기본형 회로와 마찬가지로  $940\text{Hz}(=1/1.06\text{ms})$ 의 정현파 출력을 두 개 얻을 수 있다. 이 회로의 THD는  $v_{OS}$ 가  $0.4\%$ ,  $v_{OC}$ 가  $1.3\%$ 이다.  $R_4$  또는  $R_7$ 을 반고정 저항기로 치환하여 조정하면 THD가 더 낮아진다.

4. 참고문헌

- (5), (6), (25)



本記事는 日本 CQ出版社가 發行하는 「トランジスタ技術」誌와의 著作権 協定에 依據하여 提供받은 資料입니다.

전원에서 풀업/풀다운 저항, PC에 이르기까지

# 9 정전압원/정전류원 외

鈴木 雅臣

## 기본 회로 72: 플러스 출력 정전압 회로 (제너 다이오드 사용)

플러스 직류 전압을 출력한다. 제너 다이오드에 정전압값의 편차가 있으므로 출력 전압을 정확하게 설정할 수 없다. 간이적으로 사용된다(그림 1).

### 1. 계산식

출력 전압  $V_{out} = V_Z [V]$

$V_Z$ :  $D_1$ 의 제너 전압

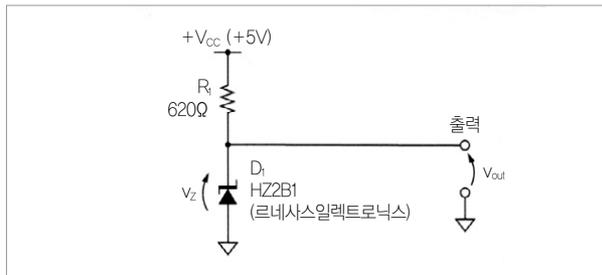


그림 1. 회로도

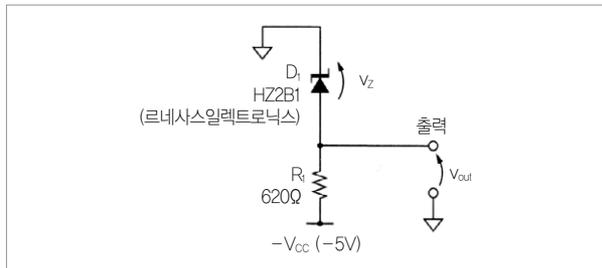


그림 2. 회로도

## 2. 참고문헌

(4), (6), (18) - 본지 39쪽 참조

## 기본 회로 73: 마이너스 출력 저전압 회로 (제너 다이오드 사용)

마이너스 직류 전압을 출력한다. 제너 다이오드에 정전압값의 편차가 있으므로 출력 전압을 정확하게 설정할 수 없다. 간이적으로 사용된다(그림 2).

### 1. 계산식

출력 전압  $V_{out} = -V_Z [V]$

$V_Z$ :  $D_1$ 의 제너 전압

## 2. 참고문헌

(4), (6), (18)

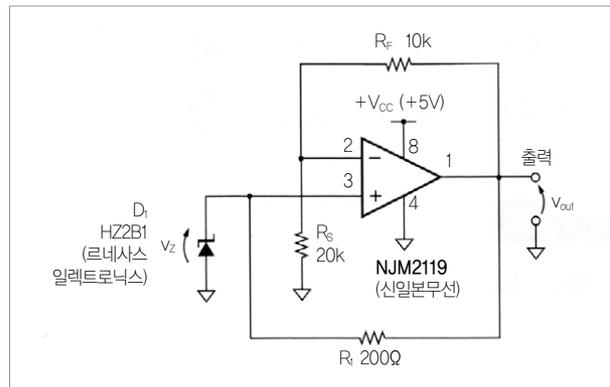


그림 3. 회로도 ①

### 기본 회로 ⑦④ : 저출력 임피던스 정전압 회로 (제너 다이오드와 버퍼 앰프 사용)

플러스 직류 전압을 출력하는 회로를 가리킨다. 제너 다이오드에 전압 편차가 있으므로 출력 전압을 정확하게 설정할 수 없다. 출력 임피던스가 낮다(그림 4, 그림 5).

#### 1. 계산식 ① (그림 4의 회로도 ①)

$$\text{출력 전압 } V_{\text{out}} = \left(1 + \frac{R_F}{R_S}\right) V_Z \text{ [V]}$$

$V_Z$ 는  $D_1$ 의 제너 전압이다.

#### 2. 계산식 ② (그림 5의 회로도 ②)

$$\text{출력 전압 } V_{\text{out}} = \left(1 + \frac{R_S}{R_F}\right) V_Z \text{ [V]}$$

$V_Z$ 는  $D_1$ 의 제너 전압이다.

#### 3. 참고문헌 ①, ②

(4), (6)

### 기본 회로 ⑦⑤ : 정전류 회로 (NPN 바이폴라 트랜지스터 1개 사용)

플러스 전원에 접속된 부하에서 크기가 일정한 직류 전류를 흡수하는 회로를 말한다(그림 3).

#### 1. 계산식

$$\text{출력 전류 } I_{\text{out}} = \frac{V_R - V_{BE}}{R} \text{ [A]}$$

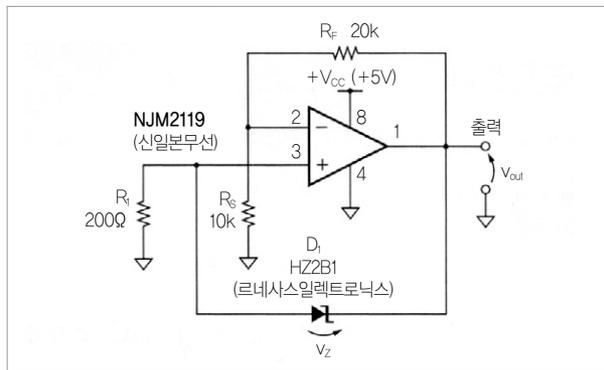


그림 4. 회로도 ②

$$\approx \frac{V_R - 0.6V}{R} \text{ [A]}$$

$V_{BE}$ 는  $Tr_1$ 의 베이스-이미터간 전압이다.

#### 2. 참고문헌

(4), (5), (6), (21)

### 기본 회로 ⑦⑥ : 비반전 앰프형 정전류 회로

OP 앰프의 귀환 루프에 접속한 부하로 크기가 일정한 직류 전류를 공급하는 회로를 말한다. 공급 전류가 수mA까지인 센서나 LED 등의 구동에 사용된다(그림 6).

#### 1. 계산식

$$\text{출력 전류 } I_{\text{out}} = \frac{V_R}{R} \text{ [A]}$$

$I_{\text{out}}$ 의 극성은 OP 앰프의 출력 단자에서 부하로 유출되는 방향을 플러스로 한다.

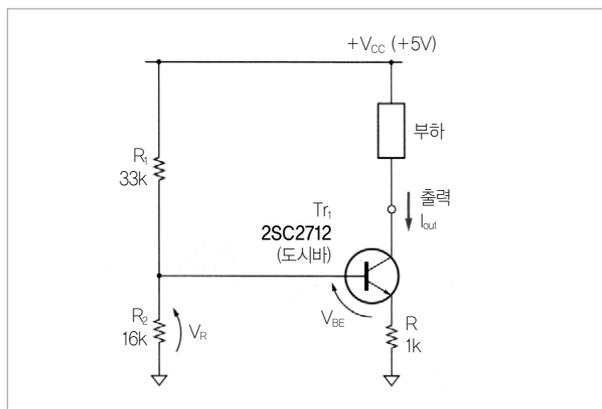


그림 5. 회로도

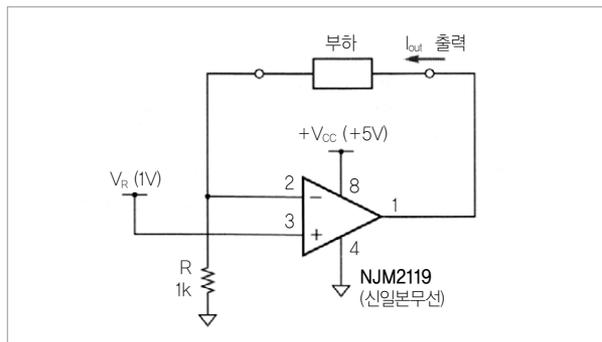


그림 6. 회로도



2. 참고문헌

(5), (6), (23)

기본 회로 ⑦: 정전류 회로  
(NPN 바이폴라 트랜지스터와 OP 앰프 사용)

플러스 전원에 접속된 부하에서 크기가 일정한 직류 전류를 흡수하는 회로를 말한다. 대전류를 다룰 수 있으며 센서나 액추에이터 구동에 사용된다. 출력 전류는 베이스 전류만큼 작아진다(그림 7).

1. 계산식

$$\text{출력 전류 } I_{out} = \left(1 + \frac{R_F}{R_S}\right) \frac{V_R}{R} \text{ [A]}$$

$R_S$ 가 존재하지 않을 경우,  $I_{out} = \frac{V_R}{R}$  [A]로 된다.

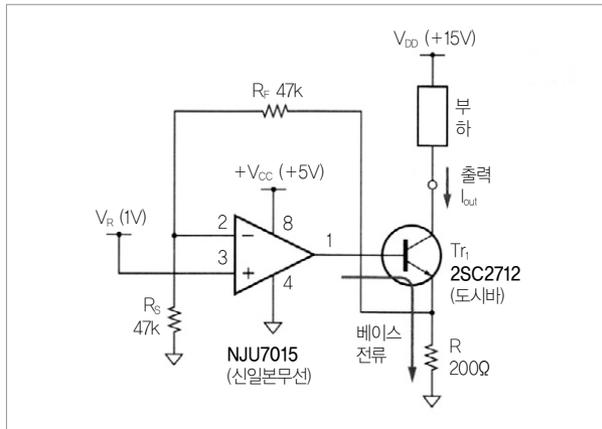


그림 7. 회로도

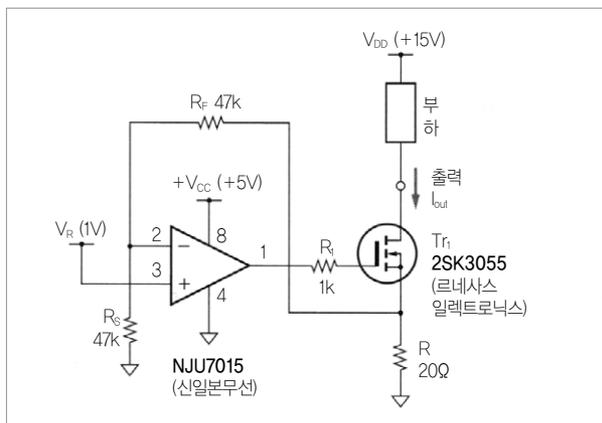


그림 8. 회로도

2. 참고문헌

(4), (5), (6), (23)

기본 회로 ⑧: 정전류 회로  
(N채널 MOSFET과 OP 앰프 사용)

플러스 전원에 접속된 부하에서 크기가 일정한 직류 전류를 흡수하는 회로를 말한다. 미소 전류에서 대전류까지 고정 밀로 설정할 수 있으며 센서나 액추에이터 구동에 사용된다(그림 8).

1. 계산식

$$\text{출력 전류 } I_{out} = \left(1 + \frac{R_F}{R_S}\right) \frac{V_R}{R} \text{ [A]}$$

$R_S$ 가 존재하지 않을 경우,  $I_{out} = \frac{V_R}{R}$  [A]로 된다.

2. 참고문헌

(5)

기본 회로 ⑨: 출력 단자 보호용 저항

OP 앰프나 마이컴의 출력 라인이 장치 밖에 나와 있는 경우 IC 보호용을 사용된다. 이 무방비 출력 라인이 그라운드나 전원 등에 접속됐을 때 유입 전류를 제한한다. OP 앰프 등의 아날로그 IC인 경우, 이 저항은 용량성 부하에 의한 발진 방지의 의미도 있다(그림 9).

1. 계산식

출력 단자를 GND에 단락했을 때의 단락 전류는 다음과 같다.

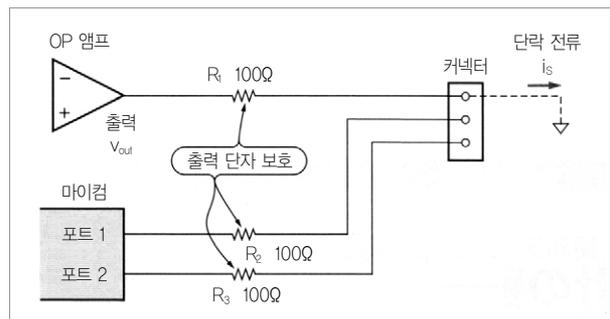


그림 9. 회로도

$$\text{단락 전류 } i_s = \frac{V_{\text{out}}}{R} \text{ [A]}$$

여기서 R은 직렬 저항이다.

## 2. 참고문헌

(1), (4), (6), (7), (11), (12), (13), (24)

## 기본 회로 ⑧ : 전원 디커플링 콘덴서

전원과 그라운드 사이의 임피던스를 낮춰 전원의 잡음을 줄이거나 회로를 안정적으로 동작시키기 위한 콘덴서이다.

### 1. 계산식

콘덴서의 용량은 동작 주파수나 전원전류에 따라 다르다.

### 2. 기본형

그림 10은 통칭 바이패스 콘덴서라고 불리며 전원-GND 사이에 접속되는 콘덴서이다. 디지털 회로나 스위칭 회로의 경우, 회로에서 전원 라인으로 침입하는 잡음을 감소시키거나 전원 라인에서 회로 내부로 침입하는 잡음을 줄이는 기능이 있다.

여기서는 비교적 동작 주파수가 낮은 디지털 회로의 예로 로직 IC 74HC 시리즈의 전원 디커플링을 설명한다.  $C_1$ ,  $C_2$ 가 전원 디커플링 콘덴서(이하 바이패스 콘덴서)이다.

소용량 콘덴서에는 세라믹 콘덴서 등 주파수 특성이 좋은 (자기 공진 주파수가 높고 등가 직렬 저항이 낮은) 소자가 사용된다.

#### (1) 동작 파형

그림 11은 바이패스 콘덴서가 없는 경우의 전원  $V_{CC}$ 와 IC의 출력인  $v_{out}$ 의 파형이다. 배선의 유도 성분에 의해 발생한

큰 잡음( $2V_{P-P}$  정도)이  $V_{CC}$ 에 중첩된다.  $v_{out}$ 에도  $V_{CC}$ 의 잡음이 그대로 나타나 있다.

그림 12는  $C_2=47\mu\text{F}$ 이라고 했을 때  $C_1$ 의 값을 바꾼 경우의  $V_{CC}$ 와  $v_{out}$ 의 파형을 나타낸 것이다. 그림 12(a)는  $C_1$ 이 없는 경우이다.  $C_2=47\mu\text{F}$ 이 들어 있으므로  $V_{CC}$ 의 잡음 진폭은 작아지지만 높은 주파수의 잡음이 발생하고 있다. 그림 12(b)의

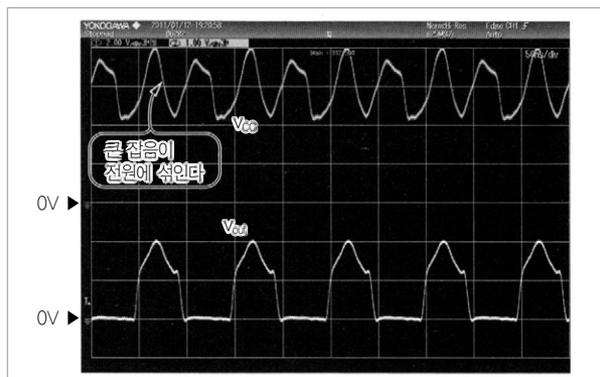


그림 11. 그림 10에서 바이패스 콘덴서가 없는 경우 전원 단자와 출력 단자의 파형 ( $V_{CC} : 1\text{V/div}$ ,  $v_{out} : 2\text{V/div}$ ,  $50\text{ms/div}$ )

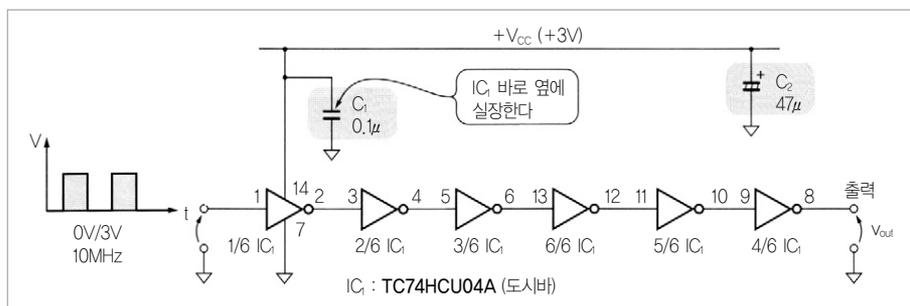


그림 10. 회로도

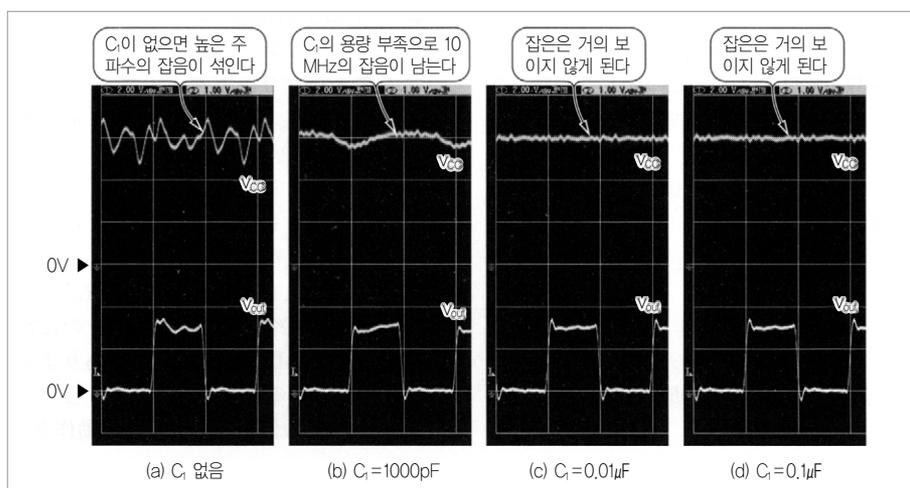


그림 12. 그림 10에서  $C_2=47\mu\text{F}$ 이라고 하여  $C_1$ 의 값을 바꾼 경우의 전원 단자와 출력 단자의 파형 ( $V_{CC} : 1\text{V/div}$ ,  $v_{out} : 2\text{V/div}$ ,  $50\text{ns/div}$ )



## 바이폴라 트랜지스터/FET 기호에 그려져 있는 화살표의 의미

바이폴라 트랜지스터나 FET 회로 기호에는 화살표가 그려져 있다(그림 A). 이것은 다이오드를 나타낸다. 정확하게는 P형 반도체와 N형 반도체의 접합점인 PN 접합이다. 이 다이오드는 물리적 구조상 어떻게 해도 생긴다.

### 1. 바이폴라 트랜지스터

베이스-이미터 사이에 다이오드가 존재한다. 보통은 이 다이오드를 ON시켜서 사용한다(다이오드를 ON시키면 트랜지스터가 ON된다).

### 2. MOSFET

드레인-소스 사이에 다이오드가 존재한다. 이 다이오드를 보디 다이오드라고 한다. 스위치 회로에서는 보디 다이오드를 프리휠 다이오드로서 적극적으로 사용하는 경우가 있다.

### 3. 접합형 FET(JFET)

게이트와 드레인-소스 사이에 다이오드가 존재한다. 일반적으로 이 다이오드는 OFF시켜 사용한다. ON으로 하면 증폭 기능이나 스위치 기능이 없어지기 때문이다.

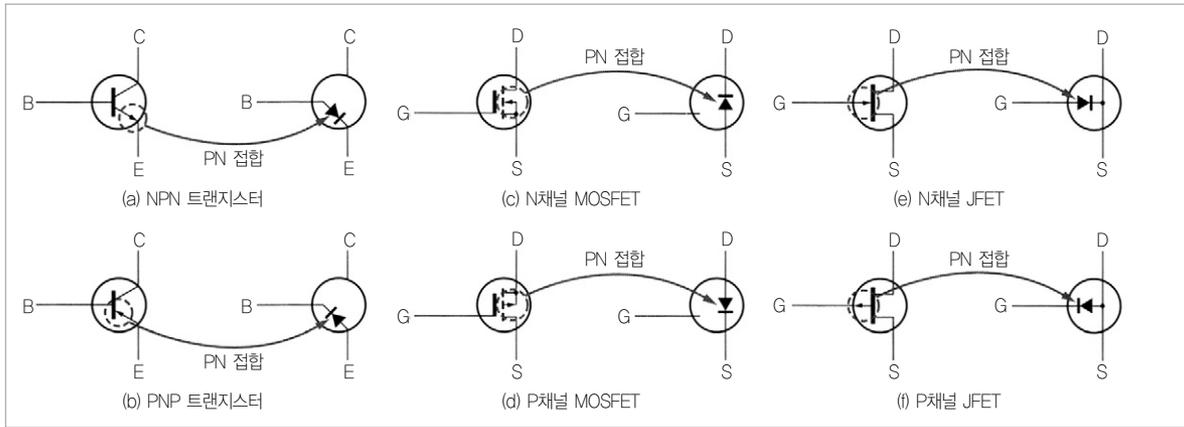


그림 A 바이폴라 트랜지스터/FET 회로 기호의 화살표는 다이오드를 나타낸다

$C_2=1000\text{pF}$ 에서는 콘덴서 용량이 부족하므로  $V_{CC}$ 에 10MHz의 완만한 파형의 잡음이 남는다. 그림 12(c), 그림 12(d)는  $C_2=0.01\mu\text{F}$  이상일 때의 파형이다.  $V_{CC}$  잡음이 거의 보이지 않게 된다.

DSP나 FPGA, 고속 마이크로프로세서 등 고속이면서 소비 전력이 큰 디바이스의 디커플링에는 용량이 더 큰 콘덴서가 사용된다.

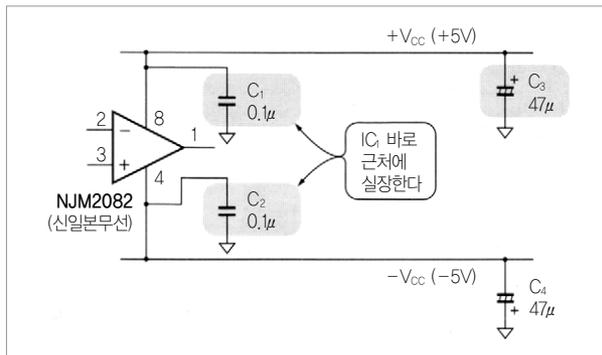


그림 13. 개량 또는 어레인지된 회로의 예 (아날로그 회로의 디커플링 콘덴서)

### 3. 아날로그 회로의 바이패스 콘덴서

그림 13은 아날로그 회로의 바이패스 콘덴서를 예로 든 것으로 OP 앰프의 디커플링이다.  $C_1, C_2, C_3, C_4$ 가 바이패스 콘덴서이다. 사진 1은 실장 예를 나타낸 것이다. 디지털 회로와 마찬가지로 소용량 콘덴서  $C_1=C_2=0.1\mu\text{F}$ 은 디커플링하고자 하는 IC 바로 옆에, 대용량 콘덴서  $C_3=C_4=47\mu\text{F}$ 은 IC에서 떨어진 곳에 배치된다. 저주파 회로에서는  $C_1, C_2$  용량을 크게 하여  $C_3, C_4$ 를 생략하는 경우가 있다.

아날로그 회로에서 바이패스 콘덴서가 맡은 역할은 디지털 회로와 마찬가지로 잡음을 저감하는 것이지만, 회로를 안정적

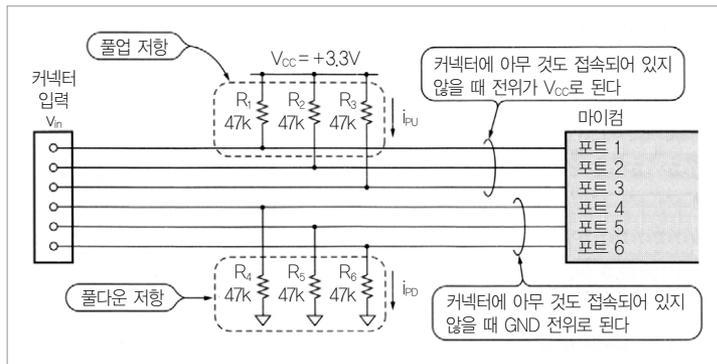


그림 14. 회로도



사진 1. 아날로그 회로의 디커플링 콘덴서 실장 예

으로 동작시키는 기능도 있다(예를 들면 OP 앰프 IC 내부의 위상 보상을 안정적으로 동작시키는 등).

은 고임피던스 입력 단자와 그라운드 사이에 넣는다(그림 14).

#### 4. 참고문헌

(2), (5), (6), (12), (20)

#### 기본 회로 ⑧ +1 : 풀업/풀다운 저항

OP 앰프나 마이크 등의 고임피던스 입력 단자에 아무 것도 연결되지 않은 상태일 경우 전위가 안정되지 않아 오동작의 원인이 된다. 이것을 방지하기 위한 저항이 풀업/풀다운 저항이다. 풀업 저항은 고임피던스 입력 단자와 전원 사이에, 풀다운 저항

#### 1. 계산식

· 풀업 저항에 흐르는 전류  $i_{PU} = \frac{V_{CC} - V_{in}}{R}$  [A]

· 풀다운 저항에 흐르는 전류  $i_{PD} = \frac{V_{in}}{R}$  [A]

여기서 R은 풀업 또는 풀다운 저항이다.

#### 2. 참고문헌

(7), (24)



#### 제2장~제9장의 참고문헌

- (1) 高木 誠利; 実験回路で学ぶトランジスタとOPアンプ, CQ出版社.
- (2) トランジスタ技術SPECIAL for フレッシュヤーズ No.107 徹底図解 電子回路のコモンセンス マイコン周辺回路から回路測定とノイズ対策まで, CQ出版社.
- (3) トランジスタ技術SPECIAL No.71 OPアンプから始めるアナログ技術, CQ出版社.
- (4) トランジスタ技術SPECIAL No.88 ダイオード/トランジスタ/FET活用入門, CQ出版社.
- (5) トランジスタ技術SPECIAL 増刊 OPアンプによる実用回路設計, CQ出版社.
- (6) 岡村 勉夫; 定本 OPアンプ回路の設計, CQ出版社.
- (7) 川田 章弘; OPアンプ活用 成功のかぎ, CQ出版社.
- (8) OPアンプ大全 第1巻 OPアンプの歴史と回路技術の基礎知識, CQ出版社.
- (9) OPアンプ大全 第2巻 OPアンプによる信号処理の応用技術, CQ出版社.
- (10) OPアンプ大全 第3巻 OPアンプによるフィルタ回路の設計, CQ出版社.
- (11) OPアンプ大全 第4巻 OPアンプによる増幅回路の設計技法, CQ出版社.
- (12) OPアンプ大全 第5巻 OPアンプの実装と周辺回路の実用技術, CQ出版社.
- (13) 遠坂 俊昭; 計測のためのアナログ回路設計, CQ出版社.
- (14) 遠坂 俊昭; 計測のためのフィルタ回路設計, CQ出版社.
- (15) 三谷 政昭; アナログ・フィルタ 理論&設計入門, CQ出版社.
- (16) 堀 敏夫; アナログ・フィルタの回路設計法, 総合電子出版社.
- (17) ME.VAN VALKENBURG; アナログフィルタの設計, 産業報知センター.
- (18) トランジスタ技術SPECIAL for フレッシュヤーズ No.103 徹底図解 トランジスタ活用 はじめの一步, CQ出版社.
- (19) 黒田 徹; 実験で学ぶ トランジスタ・アンプの設計, CQ出版社.
- (20) 鈴木 雅臣; 定本 トランジスタ回路の設計, CQ出版社.
- (21) 鈴木 雅臣; 定本 続トランジスタ回路の設計, CQ出版社.
- (22) 柴田 肇; トランジスタの料理法, CQ出版社.
- (23) トランジスタ技術SPECIAL for フレッシュヤーズ No.104 徹底図解 OPアンプIC活用ノート, CQ出版社.
- (24) 石井 聡; 合点! 電子回路超入門, CQ出版社.
- (25) 稲葉 保; 定本 発振回路の設計と応用, CQ出版社.
- (26) 稲葉 保; パワー MOS FET活用の基礎と実際, CQ出版社.
- (27) トランジスタ技術SPECIAL No.98 パワー・エレクトロニクス回路の設計, CQ出版社.
- (28) 本田 潤; D級/デジタル・アンプの設計と製作, CQ出版社.